

INSTITUTO FEDERAL DE TELECOMUNICACIONES

DISPOSICIÓN TÉCNICA IFT-005-2014, INTERFAZ DIGITAL A REDES PUBLICAS (INTERFAZ DIGITAL A 2 048 kbit/s)

INDICE

1. Objetivo
 2. Campo de aplicación
 3. Definiciones y abreviaturas
 - 3.1 Definiciones
 - 3.2 Abreviaturas
 4. Especificaciones
 - 4.1 Tipo de conector
 - 4.2 Características eléctricas
 - 4.3 Características funcionales
 5. Bibliografía
 6. Concordancia con normas internacionales
 7. Evaluación de la conformidad y vigilancia del cumplimiento
- Apéndice A. Definición del código de alta densidad bipolar de orden 3 (HDB3)
Apéndice B. Fluctuación de fase
Apéndice C. Descripción del procedimiento VRC-4
Disposiciones transitorias

1. Objetivo

Esta Disposición Técnica tiene por objeto establecer las características técnicas mínimas que debe cumplir la interfaz digital a 2 048 kbit/s llamado también E1, que se debe utilizar para la interconexión entre redes de compañías operadoras de telecomunicaciones.

2. Campo de aplicación

Las especificaciones de esta Disposición Técnica serán aplicables a los operadores de servicios de telecomunicaciones que requieran interconectar sus redes a una red pública de telecomunicaciones.

3. Definiciones y abreviaturas

3.1 Definiciones

3.1.1 Repartidor digital

Se define como un dispositivo en el que se realizan interconexiones entre las salidas digitales eléctricas de unos equipos y las entradas digitales eléctricas de otros.

3.1.2 Equipo múltiplex MIC

Equipo que permite obtener una señal digital única de una velocidad digital determinada, a partir de dos o más canales de frecuencias vocales, mediante una combinación de Modulación por Impulsos Codificados (MIC) y multiplexación por división de tiempo y también efectúa las funciones complementarias en el sentido opuesto de transmisión.

3.1.3 Interfaz

Frontera común entre dos sistemas asociados, en la cual se establecen las características necesarias para que los sistemas se puedan comunicar de una forma particular.

3.1.4 Jerarquía digital plesiócrona (JDP)

Jerarquía de velocidades de transmisión que no guardan una relación en la que exista un factor de multiplexaje integral, es decir, mediante números enteros. Sin embargo, en lo que sí existe una relación o factor de multiplexaje integral es en el número de canales de 64 kbit/s que constituyen la capacidad de transmisión de dichos niveles jerárquicos consecutivos. Los esquemas de multiplexación para esta jerarquía se basan en el entrelazado de bits y en requisitos de temporización individual para cada nivel.

3.1.5 Modulación por impulsos codificados (MIC)

Proceso por el cual se muestrea una señal, se cuantifica la amplitud de cada muestra independientemente de otras muestras y se convierte por codificación en una señal digital.

3.1.6 Multitrama

Conjunto cíclico de tramas consecutivas en el cual se puede identificar la posición relativa de cada una de ellas.

3.1.7 Señal de alineación de trama

Señal distintiva insertada en cada trama o una vez en cada "n" tramas, que ocupa siempre la misma posición relativa dentro de la trama y se utiliza para establecer y mantener la alineación de la trama.

3.1.8 Señal de indicación de alarma (SIA)

Señal utilizada para sustituir a la señal de tráfico normal cuando se ha activado una indicación de alarma de mantenimiento.

3.1.9 Trama

Conjunto cíclico de intervalos de tiempo consecutivos en el cual se puede identificar la posición relativa de cada uno de ellos.

3.1.10 Verificación por redundancia cíclica (VRC)

Proceso por medio del cual se suministra protección adicional contra la señal de alineación de trama y se mantiene un mejor control de errores.

3.2 Abreviaturas

3.3

HDB3 Código de alta densidad bipolar de orden 3 (High Density Bipolar 3 Code).

ISA Interconexión de Sistemas Abiertos (Open System Interconnection).

MIC Modulación por Impulsos Codificados (Pulse Code Modulation).

SAC Señalización Asociada al Canal (Channel Associated Signalling).

SIA Señal de Indicación de Alarma (Alarm Indication Signal).

VRC Verificación por Redundancia Cíclica (Cyclic Redundancy Check).

4. Especificaciones

4.1 Tipo de conector

El tipo de conector para los puertos de la interfaz E1, tanto en el lado transmisión como en el lado recepción, debe ser BNC.

4.2 Características eléctricas

4.2.1 Velocidad de transmisión

La velocidad de transmisión a la que debe trabajar la interfaz E1 debe ser de 2 048 kbit/s \pm 0,1024 kbit/s (2 048 kbit/s \pm 50 ppm).

4.2.2 Código de línea

Cuando se transmite una señal del tipo E1, el código de línea utilizado debe ser el código de alta densidad bipolar de orden 3 (HDB3), descrito en el apéndice A.

4.2.3 Impedancia

Los puertos, tanto del lado transmisión como del lado recepción, deben tener una impedancia nominal de 75 Ω desbalanceada.

4.2.4 Características del pulso en el puerto de salida

- a) La tensión pico nominal del pulso que se debe transmitir debe ser de 2,37 V.
- b) La tensión pico de un espacio, es decir cuando no existe pulso, debe ser de 0 V \pm 0,235 V.
- c) El ancho nominal del pulso debe ser de 244 ns.
- d) La relación de las amplitudes de los pulsos negativos y positivos, al centro del intervalo del pulso, debe ser de 0,95 a 1,05.
- e) La relación entre el ancho de los pulsos positivos y de los negativos, en los puntos de semi-amplitud nominal, debe ser de 0,95 a 1,05.
- f) Para la máxima fluctuación de fase pico a pico de un acceso de salida, véase el apéndice B.
- g) La forma del pulso debe estar de acuerdo con la plantilla mostrada en la figura 1.
- h) El conductor externo del cable coaxial debe conectarse a tierra.

4.2.5 Características del pulso en el puerto de entrada

- a) Las características del pulso presentado en el puerto de entrada debe ser como el definido para el puerto de salida, pero modificado por las características del par de interconexión. La atenuación de dicho par debe seguir una ley \sqrt{f} (f : frecuencia en kHz) y la pérdida a la frecuencia de 1024 kHz debe estar en el intervalo de 0 dB a 6 dB. Esta atenuación debe tomar en cuenta cualquier pérdida ocasionada por la presencia de un repartidor digital entre los equipos.
- b) La pérdida de retorno en los puertos de entrada de la interfaz debe tener los siguientes valores:

De 51 kHz a 102 kHz \geq 12 dB.

De 103 kHz a 2 048 kHz \geq 18 dB.

Trama que contiene la señal de alineación de trama	S_i	0	0	1	1	0	1	1
	(1)	señal de alineación de trama						
Trama que no contiene la señal de alineación de trama	S_i	1	A	S_{a4}	S_{a5}	S_{a6}	S_{a7}	S_{a8}
	(1)	(2)	(3)	(4)				

(1) Los bits designados como S_i son bits reservados para uso internacional, si no se utilizan de manera específica deben ser puestos a "1" en los trayectos digitales que atraviesan una frontera internacional. No obstante, se pueden utilizar en el ámbito nacional si el trayecto digital no atraviesa una frontera.

(2) Este bit se pone a "1" para evitar simulación de señal de alineación de trama.

(3) "A" es indicación de alarma distante. En funcionamiento normal es puesto a "0"; en condición de alarma es puesto a "1".

(4) S_{a4} a S_{a8} son bits adicionales de reserva que pueden utilizarse como sigue:

- Los bits S_{a4} a S_{a8} pueden ser recomendados para uso en aplicaciones punto a punto específicas.
- El bit S_{a4} puede utilizarse como enlace de datos basado en mensajes para operaciones, mantenimiento y monitoreo de la calidad de funcionamiento. Este canal se origina en el punto en que se genera la trama y termina donde se separa la trama.
- Los bits S_{a5} a S_{a7} son para uso nacional cuando no se les necesita para aplicaciones punto a punto específicas.

El intervalo de tiempo 16 está reservado para la información de señalización en caso de haberla (Véase 4.3.2). Cuando este intervalo no se ocupe para señalización, puede utilizarse para un canal de 64 kbit/s, de la misma manera que los intervalos 1 a 15 y 17 a 31.

El tiempo necesario para transmitir una estructura de trama básica es de 125 μ s, por lo que en un segundo se transmiten 8 000 tramas.

4.3.2 Señalización

Para propósitos de señalización, en caso de haberla, debe utilizarse el intervalo de tiempo 16 si se trata de Señalización Asociada al Canal (SAC) y se recomienda el uso de cualquier canal para el caso de utilizarse señalización por canal común. En las especificaciones de dichos sistemas de señalización se deben incluir los requisitos detallados para la organización de los sistemas de señalización determinados.

En el caso de existir SAC, debe utilizarse la estructura de multitrama que se define a continuación.

Cada multitrama está formada por 16 tramas básicas numeradas de 0 a 15 y su tiempo de duración es de 2 ms, es decir 500 multitramas en 1 s.

Dentro de la multitrama, el intervalo de tiempo 16 de la trama 0 se utiliza para la señal de alineación de multitrama. Esta señal se inserta en los bits 1 a 4 y tiene la forma "0000". Los detalles para la asignación de los 8 bits de este intervalo se especifican en la tabla 2.

TABLA 2.- Asignación de los bits del intervalo de tiempo 16

Intervalo de tiempo 16 de la trama 0	Intervalo de tiempo 16 de la trama 1		Intervalo de tiempo 16 de la trama 2		Intervalo de tiempo 16 de la trama 15	
0000xyxx	abcd canal 1	abcd canal 16	abcd canal 2	abcd canal 17	abcd canal 15	abcd canal 30

Donde: x= bit de reserva, se pone a 1 si no se utiliza.
y= bit utilizado para indicación de alarmas al extremo distante. En condición de funcionamiento normal se pone a 0; en condición de alarma se pone a 1.

- !Error!Marcador no definido.** Los números de canal son números de canales telefónicos. Los intervalos de tiempo de canal a 64 kbit/s 1 a 15 y 17 a 31 se asignan a canales telefónicos numerados del 1 al 30.
- !Error!Marcador no definido.** Esta asignación de bits proporciona cuatro canales de señalización a 500 bit/s, denominados a, b, c y d, respectivamente, para telefonía y otros servicios. Mediante esta disposición, la distorsión de señalización de cada canal de señalización introducida por el sistema de transmisión MIC no debe pasar de $2 \pm$ ms.
- !Error!Marcador no definido.** Si no se utilizan los bits b, c o d, se les debe poner a los siguientes valores: b=1, c=0, d=1.
- !Error!Marcador no definido.** Se recomienda no utilizar la combinación 0000 de los bits a, b, c y d para fines de señalización para los canales 1 a 15.

4.3.3 Estructura de Multitrama para la Verificación por Redundancia Cíclica 4 (VRC-4)

En caso de tener la posibilidad, el Procedimiento de Verificación por Redundancia Cíclica 4 (VRC-4) se debe utilizar cuando sea preciso contar con una mejor capacidad de monitoreo de errores y/o de protección adicional contra la simulación de la señal de alineación de trama.

Cuando un equipo ha sido diseñado para poder aplicar el procedimiento VRC-4, también debe tener la posibilidad de interfuncionar con un equipo que no permite aplicar el VRC, es decir, la aptitud para seguir prestando servicio (tráfico) entre equipos con y sin la capacidad VRC-4. Esto debe poderse hacer en forma manual (p. ej. mediante puentes). En tal caso de funcionamiento, el bit 1 de las tramas debe ponerse a 1 en ambos sentidos de transmisión (véase la nota 1 de la tabla 1).

Para propósitos de uso del VRC-4, se debe utilizar el bit 1 del intervalo de tiempo 0 y debe utilizar además la estructura de multitrama descrita en la tabla 3.

TABLA 3.- Estructura de multitrama para el VRC-4

	Submultitrama (SMT)	Número de trama	Bits 1 a 8 de la trama							
			1	2	3	4	5	6	7	8
Multitrama	I	0	C ₁	0	0	1	1	0	1	1
		1	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		2	C ₂	0	0	1	1	0	1	1
		3	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		4	C ₃	0	0	1	1	0	1	1
		5	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		6	C ₄	0	0	1	1	0	1	1
		7	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
	II	8	C ₁	0	0	1	1	0	1	1
		9	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		10	C ₂	0	0	1	1	0	1	1
		11	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		12	C ₃	0	0	1	1	0	1	1
		13	E	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		14	C ₄	0	0	1	1	0	1	1
		15	E	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}

Donde:
 E = bits de indicación de error VRC-4.
 S_{a4} a S_{a8} = bits de reserva.
 C₁ a C₄ = bits de Verificación por Redundancia Cíclica 4 (VRC-4).
 A = indicación de alarma distante.

Cada multitrama VRC-4 se compone de 16 tramas numeradas del 0 al 15 y se divide en 2 submultitramas designadas como SMT I y SMT II de 8 tramas cada una, lo que indica su orden respectivo de aparición dentro de la estructura de multitrama VRC-4. La SMT constituye el tamaño del bloque de Verificación por Redundancia Cíclica 4 (o sea 8 tramas por 256 bits = 2 048 bits).

La estructura de multitrama VRC-4 no está relacionada con el uso posible de una estructura de multitrama en el intervalo de tiempo de 16 kbit/s a 64 kbit/s (véase el punto 4.3.2).

En las tramas que contienen la señal de alineación de trama, el bit 1 se utiliza para transmitir los bits VRC-4. En cada SMT hay 4 bits VRC-4 denominados C1, C2, C3, y C4. En las tramas que no contienen la señal de alineación de trama, el bit 1 se utiliza para transmitir la señal de alineación de multitrama VRC-4, de 6 bits, y los dos bits E de indicación de error VRC-4. En el apéndice C se describe el procedimiento para la Verificación por Redundancia Cíclica 4 (VRC-4).

La señal de alineación de multitrama de VRC-4 tiene la forma 001011.

Los bits E deben ponerse a CERO hasta que se haya establecido la alineación de trama básica y la multitrama VRC-4. A partir de entonces, los bits E pueden utilizarse para indicar submultitramas recibidas con errores, pasando el estado binario de un bit E de UNO a CERO para cada submultitrama con errores. Todo retardo en la detección de una submultitrama con errores y la fijación del bit E que indica el estado de error, debe ser inferior a un segundo.

Los bits E siempre se toman en cuenta, incluso si la submultitrama que los contiene tiene errores, puesto que hay poca probabilidad de que los bits E tengan errores.

En caso que en el equipo no se utilice el bit E, éste se debe poner a UNO binario.

5. Bibliografía

Ley Federal de Telecomunicaciones y Radiodifusión.

NMX-I-235-1997-NYCE Interfaz Digital a 2 048 kbits/s, para la Interconexión entre Redes de Telecomunicaciones.

Rec. G.703	Características físicas y eléctricas de los interfaces digitales jerárquicos, del UIT-T.
Rec. G.704	Estructuras de trama síncronas utilizadas en los niveles jerárquicos primario y secundario, del UIT-T.
Rec. G.823	Control de fluctuación de fase y de la fluctuación lenta de fase en las redes digitales basadas en la jerarquía de 2 048 kbit/s, del UIT-T.
NOM-008-SCFI	Sistema General de Unidades de Medida

6. Concordancia con normas internacionales

La presente Disposición coincide totalmente con los puntos 2.3 y 5.1 de la Recomendación G.704 del UIT-T, Estructuras de trama síncrona utilizadas en los niveles jerárquicos primarios y secundarios, y con la Recomendación G. 823, Control de la fluctuación de fase y de la fluctuación lenta de fase en las redes digitales basadas en la jerarquía de 2 048 kbit/s, en lo que respecta a una interfaz con velocidad binaria de 2 048 kbit/s.

Por otra parte, esta Disposición coincide básicamente con:

- El punto 6 de la Recomendación G.703 del UIT-T, Características físicas y eléctricas de las interfaces digitales jerárquicas y difiere en que:
- Mientras que en el punto 6.1 de la Recomendación se especifica el requisito de protección contra sobretensiones para las interfaces digitales a 2 048 kbit/s, en esta Disposición no se incluyó debido a que ya existen Disposiciones que cubren este requisito.
- Mientras que el punto 6.2 de la Recomendación especifica el uso y características tanto de un par coaxial a 75 Ω como de un par simétrico a 120 Ω en cada sentido de transmisión, en esta Disposición en su punto 4.2.4 se indican sólo las características para un par coaxial a 75 Ω . Lo anterior se debe a que en México únicamente se utilizan accesos mediante par coaxial a 75 Ω .

7. Evaluación de la conformidad y vigilancia del cumplimiento

La evaluación de la conformidad y la vigilancia del cumplimiento de esta Disposición Técnica deberá ser realizada el Instituto Federal de Telecomunicaciones.

APENDICE A

DEFINICION DEL CODIGO DE ALTA DENSIDAD BIPOLAR DE ORDEN 3 (HDB3)

Para convertir una señal binaria digital en una señal HDB3, se deben aplicar las siguientes reglas de codificación:

- 1) La señal HDB3 es pseudoaleatoria: sus tres estados se designan por B+, B- y 0.
- 2) Los UNOS de la señal binaria se codifican alternadamente como B+ o B- con respecto al pulso precedente.
- 3) Los CEROS de la señal binaria se codifican como CEROS en la señal HDB3; sin embargo, en el caso de secuencias con cuatro CEROS consecutivos se aplican las siguientes reglas:
 - a) inserte un pulso V (pulso de violación) en la cuarta posición, manteniendo la alternancia de polaridad entre pulsos V consecutivos.
 - b) Si el pulso precedente (V o B) a la secuencia de CEROS, tiene polaridad inversa con respecto al nuevo pulso V, inserte un pulso B en la primera posición de la secuencia (de los cuatro CEROS), con polaridad igual a la del pulso de violación V a insertar.

APENDICE B

FLUCTUACION DE FASE

B.1 Definiciones

B.1.1 Fluctuación de fase

La fluctuación de fase se define como las variaciones de corta duración de los instantes significativos de una señal digital con respecto a su posición ideal en el tiempo.

B.1.2 Fluctuación lenta de fase

La fluctuación lenta de fase se define como las variaciones de largo plazo de los instantes significativos de una señal digital con respecto a su posición ideal en el tiempo.

B.2 Fluctuación de fase en los puertos de la interfaz

El proceso de transmisión puede verse afectado por factores externos, estas interferencias dependen del medio de transmisión (fibra óptica, cables coaxiales o radio enlaces) y otros factores como la localización geográfica y las condiciones meteorológicas. Una de las afectaciones más importantes que se producen en los equipos de transmisión es la fluctuación de fase.

El efecto de la fluctuación de fase se hace sentir sobre la recuperación de reloj en las sucesivas interfaces digitales, pudiendo generar diferencias instantáneas de fase entre la señal que ingresa a un interfaz y el reloj recuperado, teniendo como resultado bits errados.

Por lo anterior, a continuación se especifican los límites permitidos de fluctuación de fase para los puertos de entrada y salida de la interfaz a 2 048 kbit/s y asegurar la óptima transmisión de la señal en los puntos de interconexión.

B.2.1 Puerto de salida

Los límites mostrados en la tabla B.1 representan los niveles máximos admisibles de la fluctuación de fase que debe tener la interfaz a 2 048 kbit/s en su puerto de salida. Los límites deben respetarse en todas las condiciones de explotación cualquiera que sea la cantidad de equipo que preceda a la interfaz. Estos límites de red son compatibles con la tolerancia mínima de fluctuación de fase que deben proporcionar todos los puertos de entrada del equipo.

TABLA B.1.- Fluctuación de fase máxima admisible en el puerto de salida de una interfaz a 2 048 kbit/s

Límites de red		Ancho de banda del filtro de medición		
B ₁ Intervalo	B ₂ Intervalo	Filtro pasabanda con una frecuencia de corte inferior a f ₁ o f ₃ y una frecuencia de corte superior a f ₄		
Unitario pico a pico (IUpp)	Unitario pico a pico (IUpp)	f ₁	f ₃	f ₄
1,5	0,2	20 Hz	18 kHz	100 kHz

Nota: 1 IU = 488 ns.

El montaje para la medición de la fluctuación de fase a la salida de una interfaz digital se ilustra en la figura B.1. La respuesta en frecuencia de los filtros asociados a los aparatos de medida debe tener régimen de decremento de 20 dB/década.

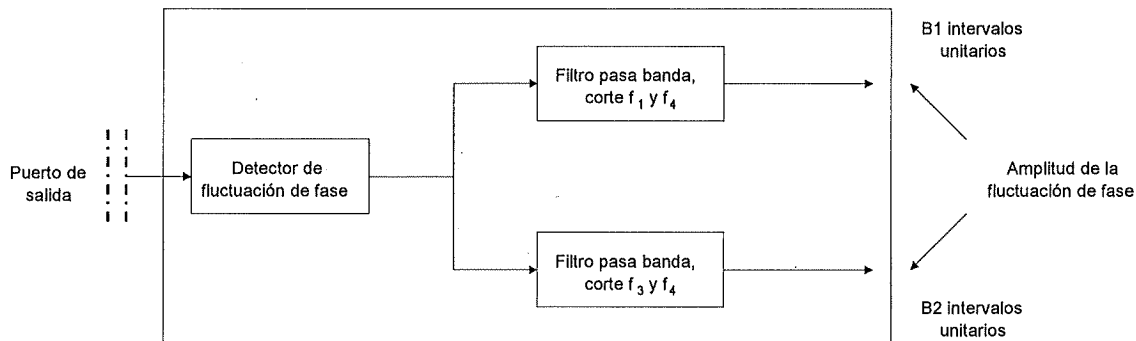


FIGURA B.1.- Montaje para la medición de la fluctuación de fase de un puerto de salida

B.2.2 Puerto de entrada

Todos los puertos de entrada digitales de la interfaz a 2 048 Mbps deben estar en condiciones de tolerar una señal digital cuyas características eléctricas satisfagan los requisitos del punto 4.2 de esta Disposición, pero moduladas por una fluctuación lenta de fase y una fluctuación de fase sinusoidales que tienen una relación amplitud-frecuencia definida en la figura B.2 y los límites indicados en la tabla B.2. Para propósitos de prueba, el contenido binario equivalente de la señal modulada por la fluctuación de fase debe ser una secuencia binaria pseudoaleatoria de 2¹⁵-1.

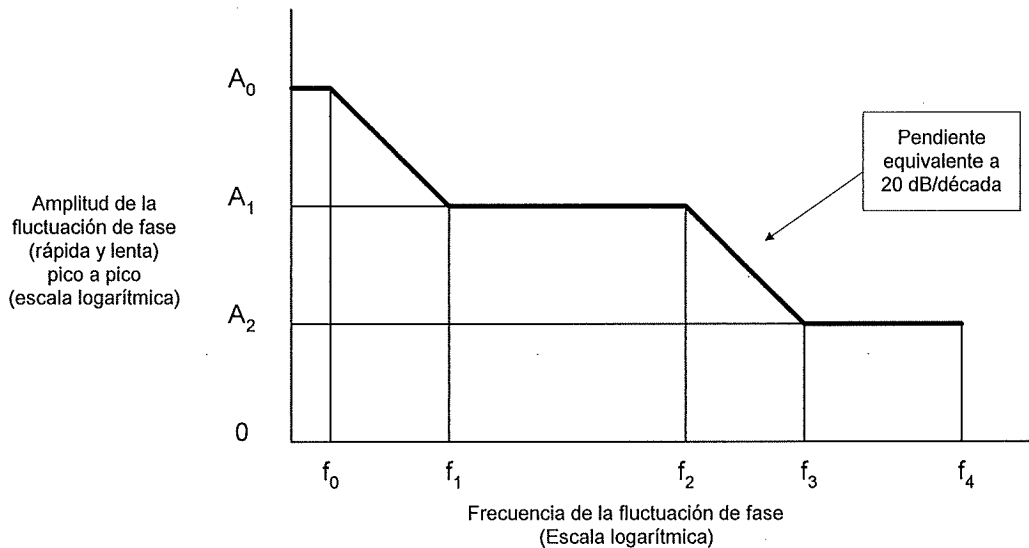


FIGURA B.2.- Límite inferior de la fluctuación de fase y fluctuación lenta de fase máxima
TABLA B.2.- Valores de los parámetros para la tolerancia de la fluctuación de fase y fluctuación lenta de fase para el puerto de entrada

Intervalo Unitario pico a pico (IUpp)			Frecuencia					Señal de prueba pseudoaleatoria
A ₀	A ₁	A ₂	f ₀	f ₁	f ₂	f ₃	f ₄	
36,9	1,5	0,2	1,2x10 ⁻⁵ Hz	20 Hz	2,4 kHz	18 kHz	100 kHz	2 ¹⁵ -1
Nota: 1 IU = 488 ns.								

APENDICE C

DESCRIPCION DEL PROCEDIMIENTO VRC-4

C.1 Proceso de multiplicación/división

Una palabra VRC-4 específica, ubicada por ejemplo en la submultitrama N, es el residuo que queda después de multiplicar el polinomio correspondiente a la submultitrama N-1 por x^4 y de dividir el resultado (en módulo 2) por el polinomio generador $x^4 + x + 1$.

Al presentar el contenido del bloque de verificación en forma de polinomio, el bit 1 en la trama 0 o el bit 1 en la trama 8, debe ser considerado como el bit más significativo. De manera similar, se define C1 como el bit más significativo del residuo y C4 como el bit menos significativo del residuo.

Puede presentarse la necesidad de actualizar los bits VRC4 en equipos intermedios que accesan al enlace de datos basado en mensaje por bits S_{a4} .

C.2 Procedimiento de codificación

- I. Los bits VRC-4 de la Submultitrama (SMT) se sustituyen por CEROS binarios.
- II. La SMT se somete al proceso de multiplicación/división.
- III. Se almacena el residuo del proceso de multiplicación/división, que queda listo para ser introducido en las posiciones de bit VRC-4 de la SMT siguiente.

Los bits VRC-4 generados de esta manera no influyen en el resultado del proceso de multiplicación/división aplicados en la SMT siguiente por que, tal como se indica en el punto I, las posiciones de bit VRC-4 en una SMT se ponen inicialmente a cero en el proceso de multiplicación/división.

C.3 Procedimiento de decodificación

- I. Una SMT recibida se somete al proceso de multiplicación/división después de extraerle los bits VRC-4 y reemplazarlos por CEROS binarios.
- II. Se almacena el residuo de la división y a continuación se compara bit por bit con los bits VRC recibidos en la SMT siguiente.

III. Si el residuo calculado por el decodificador corresponde exactamente a los bits VRC-4 recibidos en la SMT siguiente, se supone que la SMT verificada no contiene errores.

C.4 Procedimiento de actualización en puntos del trayecto intermedio en una aplicación de enlace de datos basado en mensaje.

El bit S_{a4} puede utilizarse como enlace de datos basado en mensaje por trayectos a 2 048 kbit/s. Se prevén situaciones en que el acceso a ese enlace de datos puede necesitarse en puntos del trayecto situados entre los auténticos puntos de terminación de trayecto, por ejemplo, informe de datos de característica de error procedentes de emplazamientos intermedios a lo largo del trayecto. En esas situaciones es importante no invalidar o degradar la función lógica de terminación de trayecto de la VRC-4. Por consiguiente, los cambios de los bits S_{a4} de una SMT en un punto intermedio de un trayecto no implican un nuevo cálculo de los bits VRC-4 en toda la SMT, sino más bien su actualización como función de recodificación lineal en relación con los cambios binarios específicos de los bits S_{a4} solamente.

DISPOSICIONES TRANSITORIAS

La presente Disposición Técnica entrará en vigor **XXX** días naturales posteriores a su publicación en el **Diario Oficial de la Federación**.

