

ACUERDO mediante el cual el Pleno del Instituto Federal de Telecomunicaciones expide la Disposición Técnica IFT-005-2016: Interfaz digital a redes públicas (Interfaz digital a 2 048 kbit/s y a 34 368 kbit/s).

Al margen un logotipo, que dice: Instituto Federal de Telecomunicaciones.

ACUERDO MEDIANTE EL CUAL EL PLENO DEL INSTITUTO FEDERAL DE TELECOMUNICACIONES EXPIDE LA DISPOSICIÓN TÉCNICA IFT-005-2016: INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S Y A 34 368 KBIT/S).

ANTECEDENTES

1. El 11 de junio de 2013 se publicó en el Diario Oficial de la Federación (en lo sucesivo, el "DOF") "Decreto por el que se reforman y adicionan diversas disposiciones de los artículos 6o., 7o., 27, 28, 73, 78, 94 y 105 de la Constitución Política de los Estados Unidos Mexicanos, en materia de telecomunicaciones" (en lo sucesivo el "Decreto Constitucional"), mediante el cual se creó el Instituto Federal de Telecomunicaciones (en lo sucesivo, el "Instituto"), como un órgano autónomo con personalidad jurídica y patrimonio propio.
2. El 14 de julio de 2014 se publicó en el DOF el "Decreto por el que se expiden la Ley Federal de Telecomunicaciones y Radiodifusión, y la Ley del Sistema Público de Radiodifusión del Estado Mexicano; y se reforman, adicionan y derogan diversas disposiciones en materia de telecomunicaciones y radiodifusión" (en lo sucesivo, el "Decreto de Ley"), el cual, en términos de lo dispuesto por su artículo Primero transitorio, entró en vigor treinta días naturales siguientes a su publicación, esto es, el 13 de agosto de 2014.
3. El 4 de septiembre de 2014, se publicó en el DOF el Estatuto Orgánico del Instituto Federal de Telecomunicaciones (en lo sucesivo, "Estatuto Orgánico"), el cual en términos de lo dispuesto por su artículo Primero Transitorio, entró en vigor el día 26 del mismo mes y año.
4. El 7 de enero de 2015, se publicó en el DOF el ACUERDO por el que el Pleno del Instituto Federal de Telecomunicaciones emite la Disposición Técnica IFT-005-2014: Interfaz digital a redes públicas (interfaz digital a 2 048 kbit/s), el cual establece en su artículo Segundo Transitorio su entrada en vigor el 19 de enero de 2015. Así mismo, en su Acuerdo Primero se establece una vigencia de doce meses, contados a partir del día siguiente de su entrada en vigor.
5. El Pleno del Instituto mediante el acuerdo P/IFT/EXT/181115/161, emitido en su XLIV sesión extraordinaria, de fecha de 18 noviembre de 2015, aprobó someter a consulta pública el "Anteproyecto de acuerdo mediante el cual se expide la Disposición Técnica IFT-005-2015: INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S Y A 34 368 KBIT/S)", ello en cumplimiento con lo establecido en el artículo 51 de la Ley Federal de Telecomunicaciones y Radiodifusión (en lo sucesivo, la "LFTR"); proceso de consulta que concluyó el 16 de diciembre de 2015.

En atención a los antecedentes anteriores y:

CONSIDERANDO

PRIMERO.- Competencia del Instituto. De conformidad con el artículo 28, párrafo décimo quinto de la Constitución Política de los Estados Unidos Mexicanos (en lo sucesivo, la "Constitución"), el Instituto tiene por objeto el desarrollo eficiente de la radiodifusión y las telecomunicaciones, conforme a lo dispuesto en la propia Constitución y en los términos que fijen las leyes.

Para tal efecto, en términos del precepto constitucional invocado así como de los artículos 1 y 7 de la Ley Federal de Telecomunicaciones y Radiodifusión (en lo sucesivo, "LFTR"), el Instituto tiene a su cargo la regulación, promoción y supervisión del uso, aprovechamiento y explotación del espectro radioeléctrico, los recursos orbitales, los servicios satelitales, las redes públicas de telecomunicaciones y la prestación de los servicios de radiodifusión y de telecomunicaciones, así como del acceso a la infraestructura activa y pasiva y otros insumos esenciales, garantizando lo establecido en los artículos 6o. y 7o. de la Constitución.

Asimismo, el Instituto es la autoridad en materia de competencia económica de los sectores de radiodifusión y telecomunicaciones, por lo que en éstos ejercerá en forma exclusiva las facultades del artículo 28 de la Constitución, la LFTR y la Ley Federal de Competencia Económica.

El vigésimo párrafo, fracción IV del artículo 28 de la Constitución señala que el Instituto podrá emitir disposiciones administrativas de carácter general exclusivamente para el cumplimiento de su función regulatoria en el sector de su competencia. En ese orden, el párrafo segundo del artículo 7 de la LFTR prevé que el Instituto tiene a su cargo la regulación, promoción y supervisión del uso, aprovechamiento y explotación del espectro radioeléctrico, y el párrafo cuarto del mismo artículo prevé que el Instituto es la autoridad en materia de

lineamientos técnicos relativos a la infraestructura y los equipos que se conecten a las redes de telecomunicaciones, así como en materia de homologación y evaluación de la conformidad de dicha infraestructura y equipos.

Aunado a lo anterior, el artículo 15, fracción I de la LFTR, señala que el Instituto tiene la atribución de expedir disposiciones administrativas de carácter general, planes técnicos fundamentales, lineamientos, modelos de costos, procedimientos de evaluación de la conformidad, procedimientos de homologación y certificación y ordenamientos técnicos en materia de telecomunicaciones y radiodifusión; así como demás disposiciones para el cumplimiento de lo dispuesto en la LFTR.

Asimismo, el Instituto cuenta con facultades y atribuciones para emitir el "Acuerdo por el que el Pleno del Instituto Federal de Telecomunicaciones expide la Disposición Técnica **IFT-005-2016: INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S y A 34 368 KBIT/S)**", la cual establece las características técnicas mínimas, así como los métodos de prueba, que debe cumplir el equipo terminal con interfaz digital a 2 048 kbit/s y a 34 368 kbit/s, que se conecte a la Red Pública de Telecomunicaciones.

El artículo 289 de la LFTR establece que los productos, equipos, dispositivos o aparatos destinados a telecomunicaciones o radiodifusión que puedan ser conectados a una red de telecomunicaciones o hacer uso del espectro radioeléctrico deberán homologarse conforme a las normas o disposiciones técnicas aplicables de conformidad con lo establecido en la Ley Federal sobre Metrología y Normalización, (en lo sucesivo, la "LFMN"). Asimismo el Instituto está facultado para aplicar el reconocimiento mutuo de la evaluación de la conformidad de productos, equipos, dispositivos o aparatos destinados a telecomunicaciones o radiodifusión que hayan evaluado su conformidad en otro Estado con el que el gobierno mexicano haya suscrito un acuerdo o tratado internacional para estos efectos.

El artículo 6, fracción I, del Estatuto Orgánico establece que el Pleno del Instituto cuenta con la atribución de regular, promover y supervisar el uso, aprovechamiento y explotación eficiente del espectro radioeléctrico, los recursos orbitales, los servicios satelitales, las redes de telecomunicaciones y la prestación de los servicios de radiodifusión y telecomunicaciones, así como el acceso a infraestructura activa, pasiva e insumos esenciales.

Por lo anterior y con fundamento en los artículos 28, párrafos décimo quinto y vigésimo, fracción IV, de la Constitución Política de los Estados Unidos Mexicanos; 1, 2, 7, 15, fracción I, 55 fracciones II y III, 289 y 290, párrafo cuarto, fracción II, de la Ley Federal de Telecomunicaciones y Radiodifusión, así como 6, fracción I, del Estatuto Orgánico del Instituto Federal de Telecomunicaciones, el Instituto a través de su máximo Órgano de Gobierno, es competente para emitir disposiciones técnicas relativas a los equipos que se conecten a las redes de telecomunicaciones o que en su caso hagan uso del espectro radioeléctrico, así como en materia de homologación y evaluación de la conformidad de dichos equipos.

SEGUNDO.- Las telecomunicaciones y la radiodifusión como servicios públicos de interés general.

Como lo ordena el artículo 28 de la Constitución, el Instituto tiene el mandato de garantizar lo establecido en los artículos 6o. y 7o. del mismo ordenamiento, los cuales prevén, entre otras cosas, el derecho humano de acceso a los servicios de radiodifusión y telecomunicaciones y otorgan a dichos servicios la naturaleza de servicios públicos de interés general, respecto de los cuales el Estado señalará las condiciones de competencia efectiva para prestar los mismos.

En ese orden de ideas, en términos de la fracción II del apartado B del artículo 6 de la Constitución y 2 de la LFTR, las telecomunicaciones son un servicio público de interés general, por lo que el Estado garantizará que sean prestadas en condiciones de competencia, calidad, pluralidad, cobertura universal, interconexión, convergencia, continuidad, acceso libre y sin injerencias arbitrarias.

Asimismo, de conformidad con la fracción III del apartado B del artículo 6 de la Constitución y 2 de la LFTR, la radiodifusión es un servicio público de interés general, por lo que el Estado garantizará que sea prestado en condiciones de competencia y calidad y brinde los beneficios de la cultura a toda la población, preservando la pluralidad y la veracidad de la información, así como el fomento de los valores de la identidad nacional, contribuyendo a los fines establecidos en el artículo 3o. de la Constitución.

De lo expuesto, es relevante garantizar la vigencia de un instrumento normativo que permita establecer las características técnicas mínimas que deben cumplir las interfaces digital a 2 048 kbit/s y a 34 368 kbit/s, llamadas también E1 y E3, respectivamente, que se deben utilizar para la interconexión entre redes de compañías operadoras de telecomunicaciones, así como el establecimiento de los métodos de prueba para la comprobación del cumplimiento de las especificaciones que en el presente documento se establecen.

TERCERO. Marco técnico regulatorio. Las Disposiciones Técnicas son instrumentos de observancia general expedidos por el Instituto conforme a lo establecido en el artículo 15, fracción I de la LFTR, a través de los cuales se regulan características y la operación de productos, dispositivos y servicios de telecomunicaciones y radiodifusión y, en su caso, la instalación de los equipos, sistemas y la infraestructura en general asociada a éstos así como las especificaciones que se refieran a su cumplimiento o aplicación.

Que la Disposición Técnica IFT-005-2014: Interfaz digital a redes públicas (interfaz digital a 2 048 kbit/s), terminará su vigencia el 19 de enero de 2016, y es importante que sus efectos regulatorios no cesen, ya que tiene por objeto establecer las características técnicas mínimas que debe cumplir la interfaz digital a 2 048 kbit/s llamada también E1, para realizar la conexión a redes públicas de telecomunicaciones y también para la interconexión entre redes de compañías operadoras de telecomunicaciones. De ahí la relevancia de garantizar la continuidad de la vigencia de dicho instrumento normativo.

Más aún, resulta relevante no garantizar la continuidad de las previsiones actuales de la Disposición Técnica IFT-005-2014, sino incluir los métodos de prueba correspondientes, a efectos de llevar a cabo comprobación del cumplimiento de las especificaciones técnicas establecidas. Adicionalmente, se incorporan las especificaciones técnicas para la interfaz digital E3, a 34 168 kbit/s y los respectivos métodos de prueba. Lo anterior derivado del uso de la interfaz E3 y de la infraestructura existente que la emplea a nivel nacional.

CUARTO.- Impacto en el comercio exterior. En este orden de ideas, si bien el Instituto está facultado por la Constitución, la LFTR y su Estatuto Orgánico para emitir las disposiciones técnicas relativas a la infraestructura y los equipos que se conecten a las redes de telecomunicaciones, así como en materia de homologación y evaluación de la conformidad de dicha infraestructura y equipos, también es importante resaltar que la regulación de las telecomunicaciones se encuentra estrechamente vinculada a otros sectores y materias que escapan al ámbito de competencia del Instituto y que corresponden a dependencias de la Administración Pública Federal, como es el caso de la importación, comercialización, distribución y consumo de productos en el país.

Por lo anterior, resulta necesario que la DT IFT-005-2016: INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S Y A 34 368 KBIT/S), se encuentre incluida en el “Acuerdo por el que la Secretaría de Economía emite reglas y criterios de carácter general en materia de Comercio Exterior” publicado en el DOF el 31 de diciembre de 2012, (en lo sucesivo, “Acuerdo”), el cual tiene por objeto dar a conocer las reglas que establezcan disposiciones de carácter general en el ámbito de competencia de la Secretaría de Economía, así como los criterios necesarios para el cumplimiento de las leyes, acuerdos o tratados comerciales internacionales, decretos, reglamentos, acuerdos y demás ordenamientos generales de su competencia, agrupándolas de manera que faciliten su aplicación por parte de los usuarios. Acuerdo que como parte integrante tiene el Anexo 2.4.1 relativo a las “Fracciones arancelarias de la Tarifa de la Ley de los Impuestos Generales de Importación y de Exportación en las que se clasifican las mercancías sujetas al cumplimiento de las Normas Oficiales Mexicanas en el punto de su entrada al país, y en el de su salida” (Anexo de NOM’S).

Es de señalarse que en términos de los artículos 34, fracciones II, V y XXXIII, de la Ley Orgánica de la Administración Pública Federal; 38, fracción II, y 39, fracción XII, de la LFMN, en relación con los artículos 1o., 2o., 4o., fracciones III y IV, 5o., fracciones III y XIII, 16, 17, 26 y 27 de la Ley de Comercio Exterior, (en lo sucesivo, “LCE”), la Secretaría de Economía es la autoridad competente para regular la importación, comercialización, distribución y consumo de los bienes y servicios en el país, y que tal regulación debe preverse en normas oficiales mexicanas. Asimismo, corresponde a la Secretaría de Economía determinar las normas oficiales mexicanas que las autoridades aduaneras deban hacer cumplir en el punto de entrada de la mercancía al país.

El artículo 4o. de la Ley de Comercio Exterior (en lo sucesivo, “LCE”) establece que el Ejecutivo Federal tendrá, entre otras facultades, las consagradas en las fracciones III y IV, relativas a “Establecer medidas para regular o restringir la exportación o importación de mercancías a través de acuerdos expedidos por la Secretaría o, en su caso, conjuntamente con la autoridad competente, y publicados en el Diario Oficial de la Federación”, así como “Establecer medidas para regular o restringir la circulación o tránsito de mercancías extranjeras por el territorio nacional procedentes del y destinadas al exterior a través de acuerdos expedidos por la autoridad competente y publicados en el Diario Oficial de la Federación”.

Conforme lo dispuesto en el artículo 26 de la LCE, “la importación, circulación o tránsito de mercancías estarán sujetos a las normas oficiales mexicanas de conformidad con la ley de la materia. No podrán establecerse disposiciones de normalización a la importación, circulación o tránsito de mercancías diferentes a las normas oficiales mexicanas. Las mercancías sujetas a normas oficiales mexicanas se identificarán en términos de sus fracciones arancelarias y de la nomenclatura que les corresponda conforme a la tarifa respectiva”.

Asimismo, el citado artículo indica que la Secretaría de Economía “determinará las normas oficiales mexicanas que las autoridades aduaneras deban hacer cumplir en el punto de entrada de la mercancía al país. Esta determinación se someterá previamente a la opinión de la Comisión y se publicará en el Diario Oficial de la Federación”.

De ahí que la Secretaría de Economía, en el ámbito de su competencia, emitirá la norma oficial mexicana correspondiente, que regule la importación, comercialización y/o distribución dentro del territorio de los Estados Unidos Mexicanos, de los equipos que cuenten con interfaz digital a 2 048 kbit/s y a 34 368 kbit/s, llamadas también E1 y E3, respectivamente, cuyas especificaciones técnicas y métodos de prueba se prevén en la disposición técnica que por virtud del presente Acuerdo expide el Instituto.

En este orden de ideas, en el marco de la coordinación y colaboración entre el Instituto y la Secretaría de Economía que prevén la LFTR y la LFMN, al emitirse por el Instituto la Disposición Técnica IFT-005-2016, relativa al establecimiento de las características técnicas que debe cumplir la interfaz digital a 2 048 kbit/s y a 34 368 kbit/s, llamadas también E1 y E3, respectivamente, la Secretaría de Economía realizará los actos jurídicos correspondientes como son, por una parte, la emisión de la norma oficial mexicana correspondiente que regula la importación, comercialización y/o distribución dentro del territorio de los Estados Unidos Mexicanos de los equipos en comento y, por la otra, la actualización del Acuerdo citado.

Tal situación se fortalece con lo señalado en el cuarto párrafo de los considerandos del Acuerdo, en el sentido de "Que es obligación del Ejecutivo Federal propiciar un escenario de certidumbre jurídica en el que se desarrolle la actuación de los diferentes agentes económicos involucrados en el comercio exterior, así como definir claramente el estatus de los diversos ordenamientos que establecen diversos instrumentos y programas de comercio exterior...".

Aunado a lo anterior, es de indicarse que dicho Acuerdo ha sido modificado en diversas ocasiones, dándose a conocer en el DOF, como el publicado el pasado 25 de marzo de 2014 con motivo de que la Secretaría de Energía publicó diversas normas oficiales mexicanas y la Secretaría de Agricultura, Ganadería, Desarrollo Rural, Pesca y Alimentación canceló otra, por lo que se actualizó en el multicitado Acuerdo la referencia que se hacía a dichas normas.

En virtud de lo anteriormente señalado, se considera procedente que el Instituto expida la Disposición Técnica IFT-005-2016 que sustituya la IFT-005-2014 y, la Secretaría de Economía, en el ámbito de su competencia, emita la norma oficial mexicana de correspondiente que regulará la importación, comercialización y/o distribución dentro del territorio de los Estados Unidos Mexicanos de interfaz digital a 2 048 kbit/s y a 34 368 kbit/s, llamadas también E1 y E3, respectivamente, cuyas especificaciones técnicas y métodos de prueba se prevean en la primera.

Por último, la Secretaría de Economía, en el ámbito de sus facultades, procederá a la actualización del Acuerdo.

Derivado de lo anterior, en el punto de entrada a México, respecto de los productos identificados en las Fracciones Arancelarias del Anexo 2.4.1, las autoridades aduaneras deben hacer cumplir lo dispuesto por la norma oficial mexicana correspondiente que regule la importación, comercialización y/o distribución dentro del territorio de los Estados Unidos Mexicanos de los equipos de que cuenten con interfaz digital cuyas especificaciones técnicas se prevén en la Disposición Técnica IFT-005-2016.

QUINTO.- Necesidad de emitir la Disposición Técnica IFT-005-2016: INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S Y A 34 368 KBIT/S). Con fundamento en los párrafos décimo quinto y vigésimo, fracción IV, del artículo 28 de la Constitución y los artículos 1, 2, 7, párrafos segundo y cuarto, y 15, fracción I de la LFTR, corresponde exclusivamente al Instituto, como órgano constitucional autónomo, expedir una disposición de observancia general que establezca: a) las características técnicas mínimas que deben cumplir la interfaz digital a 2 048 kbit/s y a 34 368 kbit/s, llamadas también E1 y E3, respectivamente, que se deben utilizar para la interconexión entre redes de compañías operadoras de telecomunicaciones y b) los métodos de prueba para la comprobación del cumplimiento de las especificaciones que se establecen.

Adicionalmente, resulta necesario reflejar en la normatividad relativa a las interfaces digitales a 2 048 kbit/s y a 34 368 kbit/s, llamadas también E1 y E3, respectivamente, el nuevo marco regulatorio relativo a la evaluación de la conformidad establecido por la LFTR.

Es ese tenor, la incorporación de los métodos de prueba establecidos en la **Disposición Técnica IFT-005-2016: INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S Y A 34 368 KBIT/S)**, coadyuvarán a armonizar los procedimientos para la verificación de las características técnicas de las interfaz digital y por lo tanto en el cumplimiento de los procedimientos de la evaluación de la conformidad que los laboratorios de pruebas y organismos de certificación aplican.

Derivado de lo anterior, la expedición de la **Disposición Técnica IFT-005-2016: INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S Y A 34 368 KBIT/S)** generaría los siguientes beneficios:

- a. Certidumbre jurídica respecto de las características técnicas que debe cumplir la interfaz digital a 2 048 kbit/s y a 34 368 kbit/s que son las mínimas necesarias para obtener una total compatibilidad en la capa 1 del modelo de Interconexión de Sistemas Abiertos (OSI) y por lo tanto un enlace satisfactorio entre dos redes que se interconectan.
- b. Establecimiento de los métodos de prueba para la comprobación de las especificaciones técnicas descritas en la propia disposición.

Asimismo, el Instituto bajo el marco de las atribuciones que le confieren las leyes en la materia, establece como una mejor práctica regulatoria revisar en un periodo no mayor a cinco años la **DISPOSICIÓN TÉCNICA IFT-005-2016, INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S Y A 34 368 KBIT/S)**, a fin de identificar si la misma aún se requiere o si deben realizarse cambios en función de las condiciones que prevalezcan en el mercado. Lo anterior, de ninguna manera limita las atribuciones del Instituto para realizar dicha revisión en cualquier momento, dentro del periodo establecido.

SEXTO.- Consulta pública. Con fundamento en lo establecido en el artículo 51 de la LFTR, el Instituto sometió a consulta pública bajo los principios de transparencia y participación ciudadana, el “Anteproyecto de Acuerdo mediante el cual se expide la **DISPOSICIÓN TÉCNICA IFT-005-2016, INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S Y A 34 368 KBIT/S)**”, durante el periodo de 20 días hábiles, comprendido del 19 de noviembre al 16 de diciembre de 2015.

Durante la consulta pública de mérito, se recibieron 2 participaciones de personas morales, dichas participaciones se centraron fundamentalmente en precisiones de carácter técnico de las interfaces digitales a 2 048 kbit/s y a 34 368 kbit/s, así como en los métodos de prueba que se incorporaron en Disposición Técnica.

SÉPTIMO.- Análisis de Impacto Regulatorio. De conformidad con el segundo párrafo del artículo 51 de la LFTR, se establece que previo a la emisión de reglas, lineamientos o disposiciones administrativas de carácter general de que se trate, el Instituto deberá realizar y hacer público un análisis de impacto.

Al respecto, de conformidad con lo establecido en los artículos 51 de la LFTR; 4 fracción VIII, inciso IV) y 75 fracción II del Estatuto, la Coordinación General de Mejora Regulatoria emitió, mediante oficio IFT/211/CGMR/005/2016 de enero 12 de 2016, manifiesta la opinión no vinculante respecto del proyecto de “Acuerdo por el que el Pleno del Instituto Federal de Telecomunicaciones emite la Disposición Técnica IFT-005-2015: INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S y a 34 368 KBIT/S)”. En dicha opinión, entre otros posicionamientos respecto al Análisis de Impacto Regulatorio del anteproyecto de Disposición Técnica en comento sobresale lo relativo a las disposiciones, obligaciones y/o acciones regulatorias que el anteproyecto de regulación contiene. Esto es, el anteproyecto sólo crearía, respecto a la Disposición Técnica vigente, la nueva obligación de realizar la evaluación de la conformidad de la interfaz digital E3 a 34 368 kbit/s.

Así, una vez garantizada la existencia del marco técnico regulatorio de mérito y derivado de los considerandos que nos anteceden con fundamento en lo dispuesto en los artículos 6o., apartado B, fracciones II y III y 28, párrafos décimo quinto y vigésimo, fracción IV, de la Constitución Política de los Estados Unidos Mexicanos; artículos 1, 2, 7, 15 fracción I, 16, 17 fracción I, de la Ley Federal de Telecomunicaciones y Radiodifusión; artículos 1, 6 fracciones I, XXV y XXXVII del Estatuto Orgánico del Instituto Federal de Telecomunicaciones, el Pleno del Instituto expide el siguiente:

ACUERDO

PRIMERO.- Se expide la Disposición Técnica **IFT-005-2016: INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S y a 34 368 KBIT/S)**, misma que se encuentra como Anexo Único del presente Acuerdo y que forma parte integrante de éste, la cual comenzará su vigencia a partir del 20 de enero 2016 y será revisada por el Instituto por lo menos a los 5 años contados a partir de su entrada en vigor.

SEGUNDO.- Los concesionarios y, en su caso, los autorizados que requieran interconectar sus redes a una red pública de telecomunicaciones y que utilicen las interfaces a que se refiere la presente Disposición Técnica IFT-005-2016, se sujetarán a lo que establece la misma.

TERCERO.- Publíquese el presente Acuerdo y su Anexo Único en el Diario Oficial de la Federación.

El Comisionado Presidente, **Gabriel Oswaldo Contreras Saldívar.**- Rúbrica.- Los Comisionados: **Luis Fernando Borjón Figueroa, Adriana Sofía Labardini Inzunza, Mario Germán Fromow Rangel, Ernesto Estrada González, María Elena Estavillo Flores, Adolfo Cuevas Teja.**- Rúbricas.

El presente Acuerdo fue aprobado por el Pleno del Instituto Federal de Telecomunicaciones en su I Sesión Ordinaria celebrada el 13 de enero de 2016, por unanimidad de votos de los Comisionados presentes Gabriel Oswaldo Contreras Saldívar, Luis Fernando Borjón Figueroa, Ernesto Estrada González, Adriana Sofía Labardini Inzunza, María Elena Estavillo Flores, Mario Germán Fromow Rangel y Adolfo Cuevas Teja; con fundamento en los párrafos vigésimo, fracciones I y III; y vigésimo primero, del artículo 28 de la Constitución Política de los Estados Unidos Mexicanos; artículos 7, 16 y 45 de la Ley Federal de Telecomunicaciones y Radiodifusión; así como en los artículos 1, 7, 8 y 12 del Estatuto Orgánico del Instituto Federal de Telecomunicaciones, mediante Acuerdo P/IFT/130116/5.

ANEXO ÚNICO

DISPOSICIÓN TÉCNICA IFT-005-2016, INTERFAZ DIGITAL A REDES PÚBLICAS (INTERFAZ DIGITAL A 2 048 KBIT/S Y A 34 368 KBIT/S)

ÍNDICE

- 1. OBJETIVO**
- 2. CAMPO DE APLICACIÓN**
- 3. DEFINICIONES Y ABREVIATURAS**
 - 3.1 Definiciones
 - 3.2 Abreviaturas
- 4. ESPECIFICACIONES TÉCNICAS**
 - 4.1 ESPECIFICACIONES TÉCNICAS PARA LA INTERFAZ DIGITAL A 2 048 KBIT/S, E1.**
 - 4.1.1 Tipo de conector
 - 4.1.2. Especificaciones eléctricas
 - 4.1.2.1 Velocidad de transmisión
 - 4.1.2.2 Código de línea
 - 4.1.2.3 Impedancia
 - 4.1.2.4 Características del pulso en el puerto de salida
 - 4.1.2.4.1 *Fluctuación de fase en el puerto de salida*
 - 4.1.2.5 Características del pulso en el puerto de entrada
 - 4.1.3. Características funcionales
 - 4.1.3.1 Estructura y señal de alineación de trama básica a 2 048 kbit/s
 - 4.1.3.2 Señalización
 - 4.1.3.3 Estructura de Multitrama para la Verificación por Redundancia Cíclica 4 (VRC-4)
 - 4.2 ESPECIFICACIONES TÉCNICAS PARA LA INTERFAZ DIGITAL A 34 368 KBIT/S, E3.**
 - 4.2.1 Tipo de conector
 - 4.2.2. Especificaciones eléctricas
 - 4.2.2.1 Velocidad de transmisión
 - 4.2.2.2 Código de línea
 - 4.2.2.3 Impedancia
 - 4.2.2.4 Características del pulso en el puerto de salida
 - 4.2.2.4.1 *Fluctuación de fase en el puerto de salida*
 - 4.2.2.5 Características del pulso en el puerto de entrada
 - 4.2.3. Características funcionales
 - 4.2.3.1 Estructura y señal de alineación de trama básica a 34 368 kbit/s
 - 4.2.3.2 Identificador de formato del punto de acceso de la traza
 - 4.2.3.2.1 *Estructura de trama del byte 16 para la Verificación por Redundancia Cíclica 7 (VRC-7)*
- 5. MÉTODOS DE PRUEBA**
 - 5.1 Especificaciones de los equipos de medición
 - 5.2 Tipo de conector
 - 5.3 Método de prueba para verificar la velocidad de transmisión
 - 5.4 Método de prueba para verificar el código de línea
 - 5.5 Método de prueba para verificar la impedancia en el puerto de entrada

- 5.6 Método de prueba para verificar las características del pulso en el puerto de salida
- 5.7 Método de prueba para verificar la fluctuación de fase pico a pico de un acceso de salida
- 5.8 Método de prueba para tolerancia e inmunidad a señales reflejadas en el puerto de entrada
- 5.9 Método de prueba para verificar las pérdidas de retorno en el puerto de entrada
- 5.10 Método de prueba para verificar la estructura y señal de alineación de trama básica
- 5.11 Método de prueba para verificar la estructura de multitrama para la verificación por redundancia cíclica 4 (VRC-4).
- 5.12 Método de prueba para verificar la estructura de trama del byte 16 para la verificación por redundancia cíclica 7 (VRC-7).
- 5.13 Estimación de la incertidumbre de las mediciones

6. BIBLIOGRAFÍA

7. CONCORDANCIA CON NORMAS INTERNACIONALES

8. EVALUACIÓN DE LA CONFORMIDAD Y VIGILANCIA DEL CUMPLIMIENTO

9. CONTRASEÑA DE PRODUCTO

10. DISPOSICIONES TRANSITORIAS

APÉNDICE A. Definición de Código de alta densidad bipolar de orden 3 (HDB3).

APÉNDICE B. Fluctuación de fase.

APÉNDICE C. Descripción del procedimiento VRC-4

APÉNDICE D. Descripción del procedimiento VRC-7

Índice de figuras

- Figura 1. Plantilla del pulso de la interfaz a 2 048 kbit/s, E1.
- Figura 2. Plantilla del pulso de la interfaz a 34 368 kbit/s, E3.
- Figura 3. Límite de tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 34 368 kbit/s.
- Figura 4. Diagrama para la medición de la velocidad de transmisión.
- Figura 5. Diagrama para la verificación del código de línea.
- Figura 6. Diagrama para la medición de la impedancia en el puerto de entrada.
- Figura 7. Diagrama para la verificación de las características del pulso en el puerto de salida.
- Figura 8. Diagrama para la medición de la fluctuación de fase pico a pico en el puerto de salida.
- Figura 9. Diagrama para la verificar la tolerancia e inmunidad a una señal interferente.
- Figura 10. Diagrama para la medición de la pérdida de retorno en el puerto de entrada.
- Figura 11. Diagrama para evaluar la estructura y señal de alineación de la trama básica.

Índice de Tablas

- Tabla 1. Máxima fluctuación de fase en el puerto de salida para una interfaz a 2 048 kbit/s.
- Tabla 2. Pérdida de retorno mínima para una interfaz a 2 048 kbit/s.
- Tabla 3. Máxima fluctuación de fase en el puerto de entrada para una interfaz a 2 048 kbit/s.
- Tabla 4. Asignación de los primeros 8 bits de la trama.
- Tabla 5. Asignación de los bits del intervalo de tiempo 16.
- Tabla 6. Estructura de multitrama para el VRC-4.
- Tabla 7. Máxima fluctuación de fase en el puerto de salida para una interfaz a 34 368 kbit/s
- Tabla 8. Pérdida de retorno mínima para una interfaz a 34 368 kbit/s
- Tabla 9. Máxima fluctuación de fase para el puerto de entrada para una interfaz a 34 368 kbit/s
- Tabla 10. Estructura de trama a 34 368 kbit/s
- Tabla 11. Señal de alineación de trama a 34 368 kbit/s

Tabla 12.	Tipos de carga útil
Tabla 13.	Estructura de trama del byte 16
Tabla 14.	Características técnicas de los equipos, materiales y aparatos de medición
Tabla 15.	Especificación para las frecuencias de corte en la interfaz E1 y E3
Tabla 16.	Especificación de amplitud e intervalos de frecuencias para medir las pérdidas de retorno en el puerto de entrada.
Tabla 17.	Procedimiento de alineación de trama

1. Objetivo

Esta Disposición Técnica tiene por objeto establecer las características técnicas que debe cumplir la interfaz digital a 2 048 kbit/s y a 34 368 kbit/s, llamadas también E1 y E3, respectivamente, que se deben utilizar para la interconexión entre redes de compañías operadoras de telecomunicaciones. También se establecen los métodos de prueba para la comprobación del cumplimiento de las especificaciones que en el presente documento se prevén.

2. Campo de aplicación

Las especificaciones de esta Disposición Técnica serán aplicables a los concesionarios y, en su caso, los autorizados que requieran interconectar sus redes a una red pública de telecomunicaciones.

3. Definiciones y abreviaturas

3.1 Definiciones.- Para efectos de la presente Disposición Técnica, además de las definiciones previstas en la Ley Federal de Telecomunicaciones y Radiodifusión y demás disposiciones legales, reglamentarias y administrativas aplicables, se entenderá por:

- I. **Equipo Bajo Prueba (EBP).**- Es una unidad representativa de un modelo de equipo sobre el que se llevan a cabo pruebas para verificar el cumplimiento con las especificaciones de esta Disposición Técnica.
- II. **Equipo múltiplex MIC.**- Equipo que permite obtener una señal digital única de una velocidad digital determinada, a partir de dos o más canales de frecuencias vocales, mediante una combinación de Modulación por Impulsos Codificados (MIC) y multiplexación por división de tiempo y también efectúa las funciones complementarias en el sentido opuesto de transmisión.
- III. **Instituto.**- Instituto Federal de Telecomunicaciones.
- IV. **Interfaz.**- Frontera común entre dos sistemas asociados, en la cual se establecen las características necesarias para que los sistemas se puedan comunicar de una forma particular.
- V. **Jerarquía digital plesiócrona (JDP).**- Jerarquía de velocidades de transmisión que no guardan una relación en la que exista un factor de multiplexaje integral, es decir, mediante números enteros. Sin embargo, en lo que sí existe una relación o factor de multiplexaje integral es en el número de canales de 64 kbit/s que constituyen la capacidad de transmisión de dichos niveles jerárquicos consecutivos. Los esquemas de multiplexación para esta jerarquía se basan en el entrelazado de bits y en requisitos de temporización individual para cada nivel.
- VI. **Modulación por impulsos codificados (MIC).**- Proceso por el cual se muestrea una señal, se cuantifica la amplitud de cada muestra independientemente de otras muestras y se convierte por codificación en una señal digital.
- VII. **Multitrama.**- Conjunto cíclico de tramas consecutivas en el cual se puede identificar la posición relativa de cada una de ellas.
- VIII. **PRBS (2¹⁵-1).**- **Secuencia de bits pseudoaleatoria** (del inglés: *Pseudo Random Binary Sequence*), tal y como se define en el apéndice A.
- IX. **Repartidor digital.**- Se define como un dispositivo en el que se realizan interconexiones entre las salidas digitales eléctricas de unos equipos y las entradas digitales eléctricas de otros.
- X. **Señal de alineación de trama.**- Señal distintiva insertada en cada trama o una vez en cada "n" tramas, que ocupa siempre la misma posición relativa dentro de la trama y se utiliza para establecer y mantener la alineación de la trama.
- XI. **Señal de indicación de alarma (SIA).**- Señal utilizada para sustituir a la señal de tráfico normal cuando se ha activado una indicación de alarma de mantenimiento.
- XII. **Trama.**- Conjunto cíclico de intervalos de tiempo consecutivos en el cual se puede identificar la posición relativa de cada uno de ellos.
- XIII. **Verificación por redundancia cíclica (VRC).**- Proceso por medio del cual se suministra protección adicional contra la señal de alineación de trama y se mantiene un mejor control de errores.

3.2. Abreviaturas

En esta Disposición Técnica se emplean las siguientes abreviaturas:

BAT1	Byte de alineación de trama (del inglés: Frame Alignment Byte 1)
BAT2	Byte de alineación de trama (del inglés: Frame Alignment Byte 2)
BIP-8	Bit de paridad de intercalado (del inglés: Bit Interleaved Parity 8)
BNC	Conector BNC (del inglés: Bayonet Neill-Concelman o British Naval Connector)
BOR	Bit de operación de red (del inglés Network Operator Byte)
CG	Canal dedicado para un uso específico (del inglés: General purpose Communications channel)
dB	Decibelios
DC	Acoplamiento directo (del inglés: Direct Coupling)
GS/s	Giga muestras por segundo (del inglés Giga-Samples per second)
HDB3	Código de alta densidad bipolar de orden 3 (del inglés: High Density Bipolar 3 Code).
IDR	Indicador de defecto remoto (del inglés Remote Defect Indication)
IER	Indicador de error remoto (del inglés: Remote Error Indication)
ISA	Interconexión de Sistemas Abiertos (del inglés: Open System Interconnection).
IU	Intervalo unitario
IUpp	Intervalo unitario pico a pico
LSB	Bit menos significativo (del inglés: Least Significant Bit)
MA	Mantenimiento y adaptación (del inglés: Maintenance and Adaptation)
ME	Monitoreo de errores (del inglés: Error Monitoring)
MIC	Modulación por Impulsos Codificados (del inglés: Pulse Code Modulation).
MT	Marcador de tiempo (del inglés: Timing Marker)
mV	Milivoltios
mHz	Milihertz
MSB	Bit más significativo (del inglés: Most Significant Bit)
ns	Nanosegundos
PRBS	Secuencia de Bits Pseudoaleatoria (del inglés: Pseudo Random Binary Sequence).
p.p.m	Partes por millón
rcm	Raíz cuadrática media.
SAC	Señalización Asociada al Canal (del inglés: Channel Associated Signalling).
SIA	Señal de Indicación de Alarma (del inglés: Alarm Indication Signal).
TR	Trazado de ruta (del inglés; Trail Trace)
µs	Microsegundos
V	Voltios
Vpp	Voltaje pico a pico
VRC	Verificación por Redundancia Cíclica (del inglés: Cyclic Redundancy Check).

4. Especificaciones técnicas

4.1 Especificaciones técnicas para la interfaz digital a 2 048 kbit/s, (E1).

4.1.1 Tipo de conector

El tipo de conector para los puertos de la interfaz E1, tanto en el lado transmisión como en el lado recepción, debe ser BNC.

Lo anterior se constata de acuerdo con lo descrito en el numeral 5.2.

4.1.2.4.1 Fluctuación de fase pico a pico de un acceso de salida. Véase el apéndice B.

La máxima fluctuación de fase pico a pico que ha de tolerarse en los accesos de salida, no deben exceder los límites especificados en la tabla 1, lo anterior cuando sea medido con un filtro pasa bandas con las frecuencias de corte indicadas en la misma tabla.

Ancho de banda de medición, frecuencias (kHz) a - 3 dB		Amplitud pico a pico (IUpp)	
	Frecuencia de corte inferior		Frecuencia de corte superior
Intervalo B1	0.020	100	1.5
Intervalo B2	18	100	0.2
1 IU = 488 ns			

Tabla 1.- Máxima fluctuación de fase en el puerto de salida para una interfaz a 2 048 kbit/s

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.7

4.1.2.5 Características del pulso en el puerto de entrada

a) Las características del pulso presentado en el puerto de entrada debe ser como el definido para el puerto de salida, pero modificado por las características del par de interconexión. La atenuación de dicho par debe seguir una ley \sqrt{f} (f: frecuencia en kHz) y la pérdida a la frecuencia de 1024 kHz debe estar en el intervalo de 0 dB a 6 dB. Esta atenuación debe tomar en cuenta cualquier pérdida ocasionada por la presencia de un repartidor digital entre los equipos.

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.8.

b) La pérdida de retorno en los puertos de entrada de la interfaz deben tener los valores mínimos descritos en la tabla 2. Con una amplitud de la señal generada de 2.37 V.

Intervalo de frecuencia (kHz)	Pérdida de retorno mínima (dB)
51 a 102	12
102 a 2 048	18
2 048 a 3 072	14

Tabla 2.- Pérdida de retorno mínima para una interfaz a 2 048 kbit/s

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.9.

c) Para la fluctuación de fase que ha de tolerarse en los accesos de entrada, véase la tabla 3, así como el apéndice B.

Intervalo de frecuencia f (Hz)	Amplitud de fase pico a pico sinusoidal
$12 \mu < f \leq 4.88 \text{ m}$	18 μs
$4.88 \text{ m} < f \leq 10 \text{ m}$	$0.088 f^{-1} \mu\text{s}$
$10 \text{ m} < f \leq 1.67$	8.8 μs
$1.67 < f \leq 20$	$15 f^{-1} \mu\text{s}$
$20 < f \leq 2.4 \text{ k}$	1.5 UI
$2.4 \text{ k} < f \leq 18 \text{ k}$	$3.6 \times 10^3 f^{-1} \text{ UI}$
$18 \text{ k} < f \leq 100 \text{ k}$	0.2 UI
NOTA 1: En el caso de interfaces a 2 048 kbit/s dentro de la red de un operador, se puede especificar que la frecuencia sea de 93 Hz (en vez de 2,4 kHz) y de 700 Hz (en vez de 18 kHz). Sin embargo, en las interfaces situadas entre redes de operadores diferentes, los valores aplicables son los del cuadro a menos que las partes que intervienen acuerden otra cosa. NOTA 2: 1 IU = 488 ns.	

Tabla 3.- Máxima fluctuación de fase en el puerto de entrada para una interfaz a 2 048 kbit/s.

d) Para asegurar la inmunidad adecuada contra las reflexiones de señales que pueden producirse en la interfaz, debido a irregularidades de impedancia en los repartidores digitales y en los accesos de salida digitales, los accesos de entrada deben cumplir con lo siguiente:

Se añade a una señal compuesta nominal, codificada en HDB3 y constituida por pulsos cuya forma se ajusta a la plantilla del pulso figura 1, una señal interferente con la misma forma del pulso de la señal deseada. La señal interferente debe tener una velocidad binaria comprendida entre los límites especificados en este documento, pero no debe ser síncrona con la señal deseada.

La señal interferente se combina con la señal deseada en una red combinadora, con una atenuación global nula en el trayecto de la señal y con una impedancia nominal de 75 Ω (Ohms) para dar una relación señal/interferencia de 18 dB. El contenido binario de la señal interferente debe ajustarse a un patrón de prueba pseudoaleatorio del tipo $2^{15} - 1$ bits.

No deben producirse errores cuando se aplique al acceso de entrada la señal combinada, con la atenuación máxima especificada para el cable de interconexión.

Se considera que una realización de receptor que proporcione un umbral adaptativo en vez de un umbral fijo es más resistente a las reflexiones y que, por tanto debe preferirse.

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.8.

e) El conductor exterior del cable coaxial debe conectarse a tierra.

4.1.3 Características funcionales

4.1.3.1 Estructura y señal de alineación de trama básica a 2 048 kbit/s

La estructura de trama básica debe estar compuesta de 32 intervalos de tiempo numerados del 0 al 31 y cada intervalo de tiempo debe estar compuesto de 8 bits, por lo que se debe tener un total de 256 bits por trama.

Dentro de la estructura de trama básica, el intervalo de tiempo cero está reservado para la señal de alineación de trama y bits de servicio. La asignación específica de cada uno de los bits de este intervalo de tiempo se describe en la tabla 4.

Número del bit	1	2	3	4	5	6	7	8
Tramas alternadas								
Trama que contiene la señal de alineación de trama	S _i	0	0	1	1	0	1	1
	(1)	señal de alineación de trama						
Trama que no contiene la señal de alineación de trama	S _i	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{A8}
	(1)	(2)	(3)	(4)				
(1)	Los bits designados como S _i son bits reservados para uso internacional, si no se utilizan de manera específica deben ser puestos a "1" en los trayectos digitales que atraviesan una frontera internacional. No obstante, se pueden utilizar en el ámbito nacional si el trayecto digital no atraviesa una frontera.							
(2)	Este bit se pone a "1" para evitar simulación de señal de alineación de trama.							
(3)	"A" es indicación de alarma distante. En funcionamiento normal es puesto a "0"; en condición de alarma es puesto a "1".							
(4)	S _{a4} a S _{a8} son bits adicionales de reserva que pueden utilizarse como sigue: i). Los bits S _{a4} a S _{a8} pueden ser recomendados para uso en aplicaciones punto a punto específicas. ii). El bit S _{a4} puede utilizarse como enlace de datos basado en mensajes para operaciones, mantenimiento y monitoreo de la calidad de funcionamiento. Este canal se origina en el punto en que se genera la trama y termina donde se separa la trama. iii). Los bits S _{a5} a S _{a7} son para uso nacional cuando no se les necesita para aplicaciones punto a punto específicas.							

Tabla 4. Asignación de los primeros 8 bits de la trama

El intervalo de tiempo 16 está reservado para la información de señalización en caso de haberla (Véase 4.1.3.2). Cuando este intervalo no se ocupe para señalización, puede utilizarse para un canal de 64 kbit/s, de la misma manera que los intervalos 1 a 15 y 17 a 31.

El tiempo necesario para transmitir una estructura de trama básica es de 125 µs, por lo que en un segundo se transmiten 8 000 tramas.

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.10.

4.1.3.2 Señalización

Para propósitos de señalización, en caso de haberla, debe utilizarse el intervalo de tiempo 16 si se trata de Señalización Asociada al Canal (SAC) y se recomienda el uso de cualquier canal para el caso de utilizarse señalización por canal común. En las especificaciones de dichos sistemas de señalización se deben incluir los requisitos detallados para la organización de los sistemas de señalización determinados.

En el caso de existir SAC, debe utilizarse la estructura de multitrama que se define a continuación.

Cada multitrama está formada por 16 tramas básicas numeradas de 0 a 15 y su tiempo de duración es de 2 ms, es decir 500 multitramas en 1 s.

Dentro de la multitrama, el intervalo de tiempo 16 de la trama 0 se utiliza para la señal de alineación de multitrama. Esta señal se inserta en los bits 1 a 4 y tiene la forma "0000". Los detalles para la asignación de los 8 bits de este intervalo se especifican en la tabla 5.

Intervalo de tiempo 16 de la trama 0	Intervalo de tiempo 16 de la trama 1		Intervalo de tiempo 16 de la trama 2		Intervalo de tiempo 16 de la trama 15	
0000xyxx	abcd canal 1	abcd canal 16	abcd canal 2	abcd canal 17	abcd canal 15	abcd canal 30
Donde:	x= bit de reserva, se pone a 1 si no se utiliza y= bit utilizado para indicación de alarmas al extremo distante. En condición de funcionamiento normal se pone a 0; en condición de alarma se pone a 1.					
	i. Los números de canal son números de canales telefónicos. Los intervalos de tiempo de canal a 64 kbit/s 1 a 15 y 17 a 31 se asignan a canales telefónicos numerados del 1 al 30.					
	ii. Esta asignación de bits proporciona cuatro canales de señalización a 500 bit/s, denominados a, b, c y d, respectivamente, para telefonía y otros servicios. Mediante esta disposición, la distorsión de señalización de cada canal de señalización introducida por el sistema de transmisión MIC no debe pasar de 2 ms.					
	iii. Si no se utilizan los bits b, c o d, se les debe poner a los siguientes valores: b=1, c=0, d=1.					
	iv. Se recomienda no utilizar la combinación 0000 de los bits a, b, c y d para fines de señalización para los canales 1 a 15.					

Tabla 5.- Asignación de los bits del intervalo de tiempo 16

4.1.3.3 Estructura de Multitrama para la Verificación por Redundancia Cíclica 4 (VRC-4)

En caso de tener la posibilidad, el Procedimiento de Verificación por Redundancia Cíclica 4 (VRC-4) se debe utilizar cuando sea preciso contar con una mejor capacidad de monitoreo de errores y/o de protección adicional contra la simulación de la señal de alineación de trama.

Cuando un equipo ha sido diseñado para poder aplicar el procedimiento VRC-4, también debe tener la posibilidad de interfuncionar con un equipo que no permite aplicar el VRC, es decir, la aptitud para seguir prestando servicio (tráfico) entre equipos con y sin la capacidad VRC-4. Esto debe poderse hacer en forma manual (p. ej. mediante puentes). En tal caso de funcionamiento, el bit 1 de las tramas debe ponerse a 1 en ambos sentidos de transmisión (véase la nota i de la tabla 4).

Para propósitos de uso del VRC-4, se debe utilizar el bit 1 del intervalo de tiempo 0 y debe utilizar además la estructura de multitrama descrita en la tabla 6.

	Submultitrama	Número de	Bits 1 a 8 de la trama							
	(SMT)	Trama	1	2	3	4	5	6	7	8
Multitrama	I	0	C ₁	0	0	1	1	0	1	1
		1	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		2	C ₂	0	0	1	1	0	1	1
		3	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		4	C ₃	0	0	1	1	0	1	1
		5	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		6	C ₄	0	0	1	1	0	1	1
		7	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
	II	8	C ₁	0	0	1	1	0	1	1
		9	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		10	C ₂	0	0	1	1	0	1	1
		11	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		12	C ₃	0	0	1	1	0	1	1
		13	E	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		14	C ₄	0	0	1	1	0	1	1
		15	E	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}

Donde:
 E = bits de indicación de error VRC-4.
 S_{a4} a S_{a8} = bits de reserva.
 C₁ a C₄ = bits de Verificación por Redundancia Cíclica 4 (VRC-4).
 A = indicación de alarma distante.

Tabla 6.- Estructura de multitrama para el VRC-4

Cada multitrama VRC-4 se compone de 16 tramas numeradas del 0 al 15 y se divide en 2 submultitramas designadas como SMT I y SMT II de 8 tramas cada una, lo que indica su orden respectivo de aparición dentro de la estructura de multitrama VRC-4. La SMT constituye el tamaño del bloque de Verificación por Redundancia Cíclica 4 (o sea 8 tramas por 256 bits = 2 048 bits).

La estructura de multitrama VRC-4 no está relacionada con el uso posible de una estructura de multitrama en el intervalo de tiempo de 16 kbit/s a 64 kbit/s (véase el punto 4.1.3.2).

En las tramas que contienen la señal de alineación de trama, el bit 1 se utiliza para transmitir los bits VRC-4. En cada SMT hay 4 bits VRC-4 denominados C₁, C₂, C₃ y C₄. En las tramas que no contienen la señal de alineación de trama, el bit 1 se utiliza para transmitir la señal de alineación de multitrama VRC-4, de 6 bits, y los dos bits E de indicación de error VRC-4. En el apéndice C se describe el procedimiento para la Verificación por Redundancia Cíclica 4 (VRC-4).

La señal de alineación de multitrama de VRC-4 tiene la forma 001011.

Los bits E deben ponerse a CERO hasta que se haya establecido la alineación de trama básica y la multitrama VRC-4. A partir de entonces, los bits E pueden utilizarse para indicar submultitramas recibidas con errores, pasando el estado binario de un bit E de UNO a CERO para cada submultitrama con errores. Todo retardo en la detección de una submultitrama con errores y la fijación del bit E que indica el estado de error, debe ser inferior a un segundo.

Los bits E siempre se toman en cuenta, incluso si la submultitrama que los contiene tiene errores, puesto que hay poca probabilidad de que los bits E tengan errores.

En caso que en el equipo no se utilice el bit E, éste se debe poner a UNO binario.

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.11

4.2 Especificaciones técnicas para la interfaz digital a 34 368 kbit/s, (E3)

4.2.1 Tipo de conector

El tipo de conector para los puertos de la interfaz E3, tanto en el lado de transmisión como en el lado de recepción, debe ser BNC.

Lo anterior se constata de acuerdo con lo descrito en el numeral 5.2.

4.2.2 Características eléctricas

4.2.2.1 Velocidad de transmisión

La velocidad de transmisión a la que debe trabajar la interfaz E3 debe ser de 34 368 kbit/s, ± 0.688 kbit/s (34 368 kbit/s ± 20 p.p.m).

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.3.

4.2.2.2 Código de línea

Cuando se transmita una señal del tipo E3, el código de línea utilizado debe ser el Código de alta densidad bipolar de orden 3 (HDB3), descrito en el apéndice A.

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.4

4.2.2.3 Impedancia

La impedancia resistiva de terminación del puerto de entrada debe ser 75Ω (Ohms) desbalanceada con una tolerancia de $\pm 0.25 \Omega$ (Ohms).

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.5

4.2.2.4 Características del pulso en el puerto de salida

- La tensión pico nominal del pulso que se debe transmitir debe ser de 1 V, con una tolerancia de ± 0.1 V.
- La tensión pico de un espacio, es decir cuando no existe pulso, debe ser de 0 V, con una tolerancia de ± 0.1 V.
- El ancho nominal del pulso debe ser de 14.55 ns.
- La relación de las amplitudes de los pulsos negativos y positivos, al centro del intervalo del pulso, debe ser de 0.95 a 1.05.
- La relación entre el ancho de los pulsos positivos y de los negativos, en los puntos de semi amplitud nominal, debe ser de 0.95 a 1.05.
- La forma del pulso debe estar de acuerdo con la plantilla mostrada en la figura 2.
- El conductor externo del cable coaxial debe conectarse a tierra.

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.6

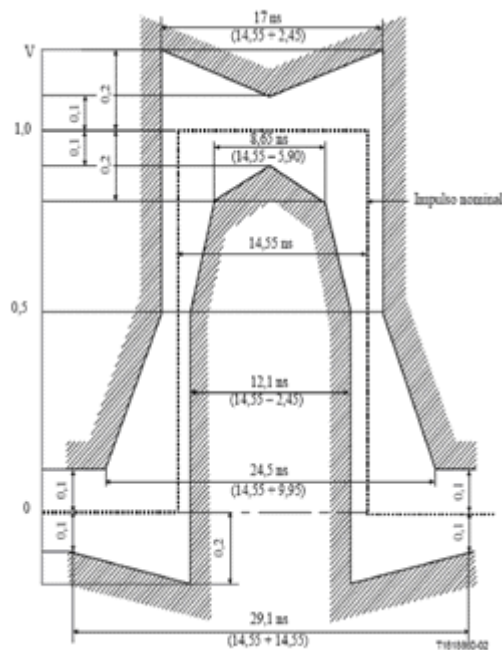


Figura 2.- Plantilla del pulso de la interfaz a 34 368 kbit/s, E3.

4.2.2.4.1 Fluctuación de fase en el puerto de salida

La máxima fluctuación de fase pico a pico que ha de tolerarse en los accesos de salida, no debe exceder los límites especificados en la tabla 7, cuando sea medido con un filtro pasa bandas con las frecuencias de corte indicadas en la misma tabla.

Ancho de banda de medición, frecuencias (kHz) a -3 dB			Amplitud pico a pico (IU)*
	Frecuencia de corte inferior	Frecuencia de corte superior	
Intervalo A	0.1	800	1.5
Intervalo B	10	800	0.15
* 1 IU = 29.1 ns			

Tabla 7.- Máxima fluctuación de fase en el puerto de salida para una interfaz a 34 368 kbit/s

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.7

4.2.2.5 Características del pulso en el puerto de entrada

- a) Las características del pulso presentadas en los puertos de entrada deben ser como el definido para el puerto de salida, pero modificado por las características de los pares de interconexión. La atenuación de dicho par debe seguir una ley en \sqrt{f} (f: frecuencia en kHz) y la pérdida a la frecuencia de 17 184 kHz esté comprendida entre 0 y 12 dB. Esta atenuación tendrá en cuenta las posibles pérdidas debidas a la presencia de un repartidor digital entre los equipos.

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.8.

- b) La pérdida de retorno en los puertos de entrada de la interfaz deben tener los valores mínimos indicados en la tabla 8. Con una amplitud de la señal generadora de 1 V.

Intervalo de frecuencia (kHz)	Pérdida de retorno mínima (dB)
860 a 1 720	12
1 720 a 34 368	18
34 368 a 51 550	14

Tabla 8.- Pérdida de retorno mínima para una interfaz a 34 368 kbit/s

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.9.

- c) Para la fluctuación de fase que ha de tolerarse en los accesos de entrada véase la tabla 9 y la figura 3.

Frecuencia f (Hz)	Amplitud de fase pico a pico sinusoidal
10 m < f ≤ 32 m	4 μs
32 m < f ≤ 130 m	0.13 f ⁻¹ μs
130 m < f ≤ 4,4	1 μs
4,4 < f ≤ 100	4.4 f ⁻¹ μs
100 < f ≤ 1 k	1.5 IU
1 k < f ≤ 10 k	1.5 × 10 ³ f ⁻¹ IU
10 k < f ≤ 800 k	0.15 IU
1 IU = 29.1 ns	

Tabla 9.- Máxima fluctuación de fase para el puerto de entrada

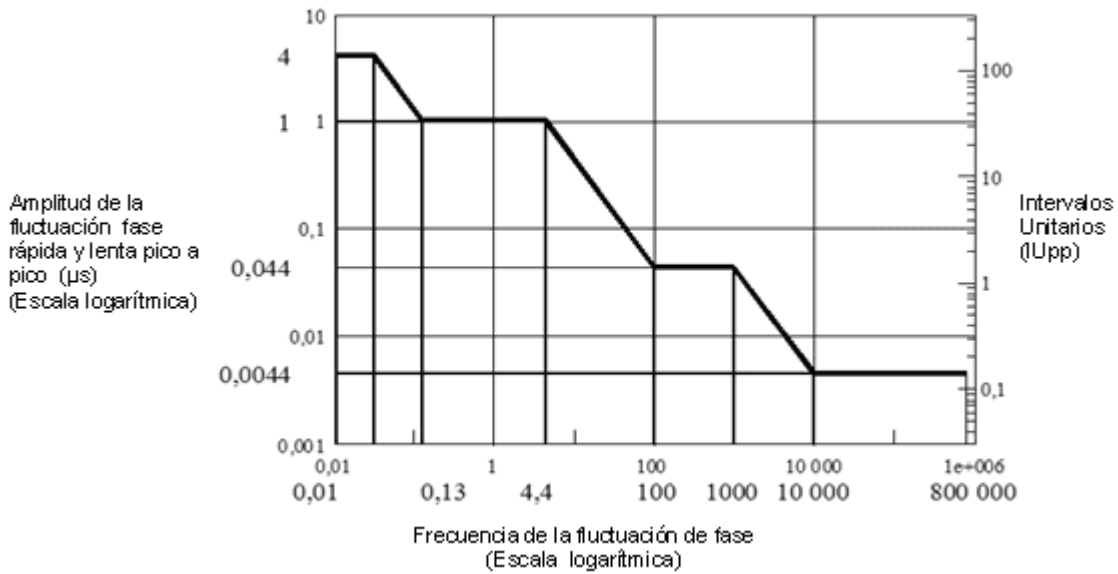


Figura 3. Límite de tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 34 368 kbit/s

- d) Para asegurar la inmunidad adecuada contra las reflexiones de señales que puedan producirse en la interfaz, debido a irregularidades de impedancia en los repartidores digitales y en los accesos de salida digitales, los accesos de entrada deben cumplir con lo siguiente:

Se añade a una señal compuesta nominal, codificada en HDB3, constituida por pulsos cuya forma se ajusta a la plantilla de pulso figura 2, una señal interferente con la misma forma del pulso que la señal deseada. La señal interferente deberá tener una velocidad binaria comprendida entre los límites especificados en este documento, pero no deberá ser síncrona con la señal deseada.

La señal interferente se combinará con la señal deseada en una red combinadora, con una atenuación global nula en el trayecto de la señal y con una impedancia nominal de 75 Ω (Ohms) para dar una relación señal/interferencia de 20 dB. El contenido binario de la señal interferente deberá ajustarse a un patrón de prueba pseudoaleatorio del tipo $2^{23} - 1$ bits.

No deben producirse errores cuando se aplique al acceso de entrada la señal combinada, con la atenuación máxima especificada para el cable de interconexión.

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.8.

- e) El conductor exterior del cable coaxial debe conectarse a tierra.

4.2.3 Características funcionales

4.2.3.1 Estructura y señal de alineación de trama básica a 34 368 kbit/s

La estructura de trama básica a 34 368 kbit/s, comprende 537 octetos, como se define en la tabla 10. El orden de la trasmisión de la información es de izquierda a derecha y de arriba abajo.

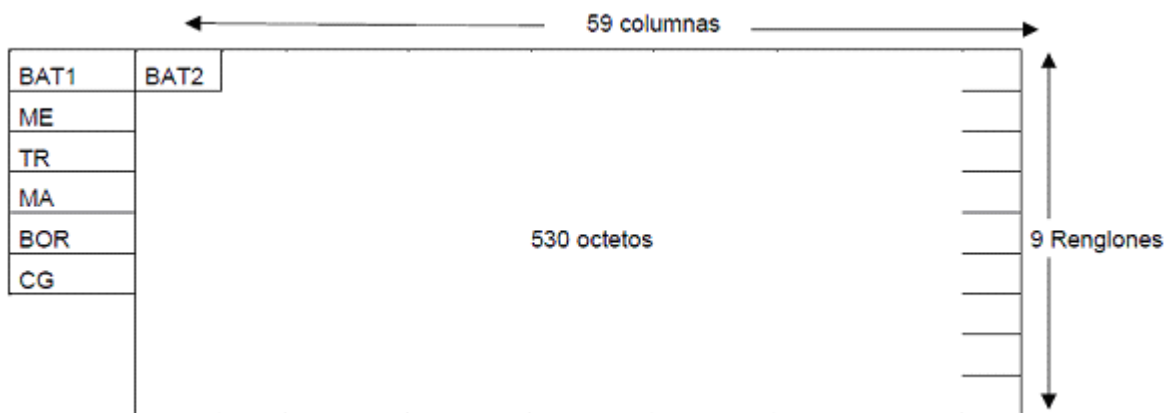


Tabla 10. Estructura de trama a 34 368 kbit/s

El bit más significativo es el bit 1 y se define en la tabla 11.

	MSB									LSB								
Bit:	1	2	3	4	5	6	7	8	B	1	2	3	4	5	6	7	8	
BAT1	1	1	1	1	0	1	1	0		0	0	1	0	1	0	0	0	BAT2
ME	BIP-8																	
TR	Traza de ruta																	
MA	IDR	IE R	Tipo de carga				Indicador de Multitrama		MT									
BOR	Bit de operación de red																	
CG	Canal de propósito general																	

Tabla 11. Señal de alineación de trama a 34 368 kbit/s

Donde:

- a) Los bits BAT1 y BAT2, corresponden a los bits de alineación de trama.
- b) El byte ME, corresponde al monitoreo de errores; BIP-8, bit de paridad de intercalado. Bit destinado para el monitoreo de errores en la ruta.
- c) El byte TR, corresponde al trazado de la ruta; se utiliza para transmitir repetitivamente un identificador de acceso de traza de ruta, de modo que el trazado de la ruta en el receptor pueda continuar su conexión al transmisor deseado.
- d) El byte MA, corresponde al mantenimiento y adaptación y sus subcampos son:
 - i. El bit 1 IDR, debe ponerse a "1" en las siguientes condiciones:
 - a) Señal de entrada inválida o pérdida de señal en la interfaz.
 - b) Pérdida de alineación de trama (BAT1 y BAT2).
 - c) Señal de indicación de alarma (SIA).

De otra forma deberá permanecer en "0".

- ii. El bit 2, IER debe ser puesto a 1 y ser enviado de regreso a la ruta remota de terminación, si uno o más errores fueron detectados por el BIP-8, de otra forma será puesto a "0".
- iii. Los bits 3 - 5, indican el tipo de carga útil, y se describen en la tabla 12:

Código	Señal
000	Sin equipo
001	Equipo NO especificado
010	ATM
011	SDH

Tabla 12. Tipo de carga útil

- iv. Los bits 6 -7, son indicadores de multitramas.
- v. El bit 8, corresponde al marcador de tiempo, este bit es puesto a "0", para indicar que la sincronía de reloj de la fuente, tiene una ruta específica a un reloj de referencia, en otras circunstancias es puesto a "1".
- e) El byte BOR, corresponde a labores de mantenimiento de operadores de red individuales.
- f) El byte CG, corresponde a aplicaciones de uso específico de voz, datos o con propósitos de mantenimiento.

El equipo terminal deberá realizar un procedimiento de alineación de trama de la señal transmitida, debiendo identificar a BAT1 y BAT2 en sus posiciones previstas contenidos en el tren de bits recibidos; la alineación de

trama se considerará exitosa una vez que se hayan recibido tres tramas sin errores y se hayan identificado los bits de alineación de trama.

La alineación de trama se considerará perdida cuando:

- I. Se reciban incorrectamente, en sus posiciones previstas, cuatro señales consecutivas de alineación de trama.
- II. 986 o más tramas presenten una o más violaciones del (BIP-8), en un bloque de 1 000 tramas.

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.10.

4.2.3.2 Identificador de formato del punto de acceso de la traza

El identificador de formato del punto de acceso de la traza, podrá utilizar el formato de numeración del byte 16.

4.2.3.2.1 Estructura de trama del byte 16 para la Verificación por Redundancia Cíclica 7 (VRC-7)

El primer byte de la cadena de trama empieza marcando e incluye el resultado del cálculo del CRC-7 de la trama inmediata anterior, los siguientes 15 bytes son empleados para la transportar información ASCII suministrada por el proveedor del servicio digital.

La estructura de la trama del byte 16, se define de acuerdo con la tabla 13.

Byte 1	1	C ₁	C ₂	C ₃	C ₄	C ₅	C ₆	C ₇	Marcador de inicio de trama
Byte 2	0	X	X	X	X	X	X	X	
Byte 3	0	X	X	X	X	X	X	X	
Byte 16	0	X	X	X	X	X	X	X	

Tabla 13. Estructura de Trama del byte 16

Nota:

- a) C₁ --- C₇ es el resultado del CRC-7, de la trama previa.
- b) 0XXXXXXXX, corresponden a caracteres ASCII.

Lo anterior se verifica de acuerdo al método de prueba descrito en el numeral 5.12.

5. Métodos de prueba

Este capítulo contiene los métodos de prueba que deberán emplearse para la comprobación de las especificaciones contenidas en el numeral 4.

5.1 Especificaciones de los equipos de medición

Para la aplicación de los métodos de prueba de la presente DT, los equipos, materiales y aparatos de medición deben cumplir con las especificaciones técnicas que se indican en la tabla 14:

Equipo	Característica	Interfaces digitales	
		2 048 kbit/s, E1	34 368 kbit/s, E3
Analizador / Generador de Tramas	Frecuencia de bits	2 048 kbit/s, ± 0.1024 kbit/s	34 368 kbit/s ± 0.688 kbit/s
	Impedancia	75 Ω (Ohms)	
	Código de línea	HDB3	
	Generador de patrones PRBS	2 ¹⁵ -1	2 ²³ -1
	Decodificación de tramas como se especifican en:	UIT-T G.704	UIT-T G.832
	Características de la interfaz física y eléctrica	Especificado en UIT-T G.703	
Generador de patrones PRBS	Frecuencia de bits	2 048 kbit/s, ± 0.1024 kbit/s	34 368 kbit/s ± 0.688 kbit/s
	Impedancia	75 Ω (Ohms)	

	Código de línea	HDB3	
	Nivel de señal	2.37 V ± 0.237	1 V ± 0.1
	Patrón PRBS	2 ¹⁵ -1	2 ²³ -1
	Características de la interfaz física y eléctrica	Especificado en UIT-T G.703	
Osciloscopio digital	Intervalo de DC	0 – 6 V	
	Intervalo de impedancia	0 – 600 Ω (Ohms)	
	Resolución de Ohms	0,1 Ω (Ohms)	
	Intervalo de frecuencias de operación	100 Hz a 200 MHz	
	Razón de muestreo	2 GS/s	
	Sensitividad vertical	2 mV/div – 5 V/div	
	Resolución vertical	8 bits	
	Máscara	E1, E3 de acuerdo a G.703.	
Puente de pérdida de retorno	Impedancia característica	75 Ω (Ohms)	
	Intervalo de frecuencias	200 Hz – 4.5 MHz	75 kHz – 60 MHz
	Directividad	> 35 dB	
	Pérdida de inserción de puerto de entrada a puerto de prueba	< 7.0 dB	
	Pérdida de inserción de puerto de entrada a puerto de salida	< 13.0 dB	
	Pérdida de retorno en puerto de entrada	> 30 dB	
	Pérdida de retorno en puerto de salida	> 20 dB	
	Pérdida de retorno en puerto de prueba	> 28 dB	
Carga de prueba	Impedancia característica	75 Ω (Ohms) ± 0.25% (Ohms)	
Medidor selectivo de nivel	Impedancia característica	75 Ω (Ohms)	
	Intervalo de frecuencias	200 Hz – 4,5 MHz	75 KHz – 60 MHz
	Resolución de intervalo frecuencias	1 Hz	
	Pasos de incremento de frecuencia mínimo	10 Hz	
Generador/Medidor de fluctuación de fase	Intervalo de frecuencias	20 Hz – 100 kHz	10 Hz – 800 kHz
	Intervalo de amplitud cresta a cresta	0.2 – 1.5 IU	0.15 – 1.5 IU
Generador de onda sinusoidal	Intervalo de frecuencia	51 – 3 072 kHz	860 – 51 550 kHz
	Resolución de frecuencia	0.01 Hz	
	Exactitud	0.375x10 ⁻⁶ veces la frecuencia de portadora	
	Potencia máxima de salida	13 dBm	

	Resolución de potencia	0.01 dBm	
	Impedancia nominal	75 Ω (Ohms)	
Simulador de cable	Atenuación Característica	De acuerdo a la ley \sqrt{f} en el intervalo de 10 – 10 000 kHz	De acuerdo a la ley \sqrt{f} en el intervalo de 860 – 51 550 kHz
	Atenuación	6 dB @1 024 Hz	12 dB @17 184 Hz
	Impedancia característica	75 Ω (Ohms)	
Combinador de RF	Impedancia característica	75 Ω (Ohms)	
	Intervalo de frecuencia	200 Hz – 4.5 MHz	75 KHz – 60 MHz
	Asilamiento entre puertos de entrada	> 30dB	
Medidor PCM	Intervalo de frecuencias de operación	1.5 Mbps to 10 Gbps	
	Exactitud de reloj	4.6 p.p.m	
	Manejo de tramas	E1, E3 de acuerdo a G.703. UIT-T	
Frecuencímetro	Intervalo de frecuencias de operación	20 Hz a 160 MHz	
	Sensibilidad	20 Hz a 80 MHz < 15mV rcm 80 MHz a 160 MHz < 25 mV rcm	
Atenuador fijo de RF	Impedancia característica	Impedancia característica	
	Intervalo de frecuencias	200 Hz – 4.5 MHz	75 KHz – 60 MHz
	Atenuación	18 dB	20 dB

Tabla 14. Características técnicas de los equipos, materiales y aparatos de medición

5.2 Tipo de conector

Constatar ocularmente que el tipo de conector corresponda a un BNC.

5.3 Método de prueba para verificar la velocidad de transmisión

1. Implementar el diagrama como se indica en la figura 4.
2. El EBP debe ser configurado para proporcionar en el puerto de salida, la señal de sincronía del reloj interno del mismo, una secuencia pseudoaleatoria codificada HDB3, con una longitud de $2^{15} - 1$ bits.
3. La velocidad de transmisión medida en el puerto de salida del EBP de la interfaz E1, debe ser la indicada el numeral 4.1.2.1.
4. La velocidad de transmisión medida en el puerto de salida del EBP de la interfaz E3, debe ser la indicada el numeral 4.2.2.1.

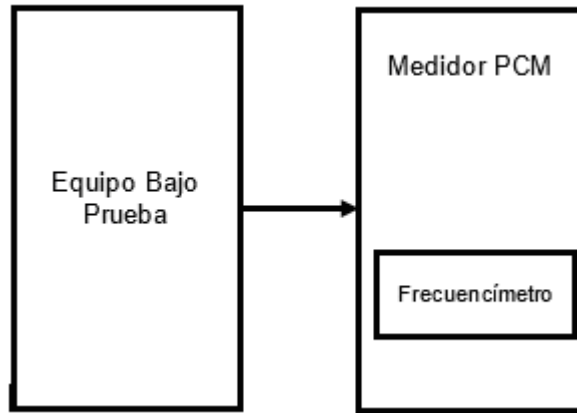


Figura 4.- Diagrama para la medición de la velocidad de transmisión

5.4 Método de prueba para verificar el código de línea

1. Implementar el diagrama como se indica en la figura 5.
2. Configure el analizador o generador de tramas para que transmita una secuencia pseudoaleatoria codificada en HDB3 con una longitud de $2^{15} - 1$ bits.
3. El EBP deberá transmitir un tren de bits codificado en HDB3, que incluya las secuencias:
 - a) <0000> - <número par de unos> - <0000>
 - b) <0000> - <número impar de unos> - <0000>
4. Posterior a una transmisión de 100 ocurrencias de la secuencia referida en el punto anterior, no se deben presentar errores de decodificación en el tren de bits HDB3.
5. El resultado obtenido debe estar conforme lo indica el numeral 4.1.2.2, para la interfaz E1.
6. El resultado obtenido debe estar conforme lo indica el numeral 4.2.2.2, para la interfaz E3.

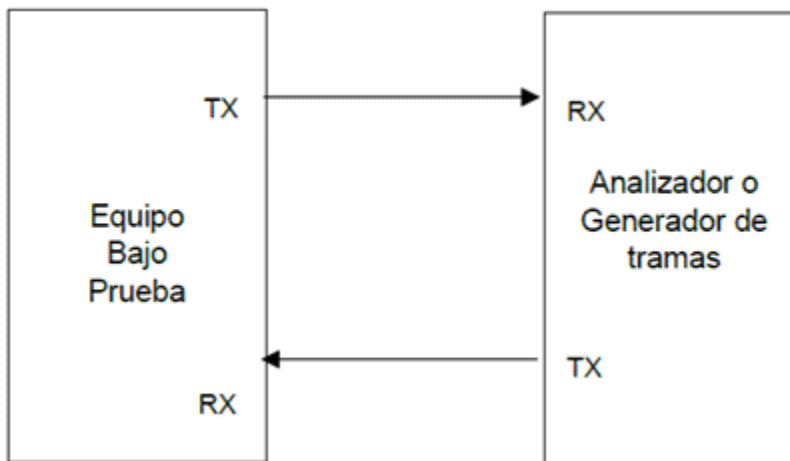


Figura 5.- Diagrama para la verificación del código de línea

5.5 Método de prueba para verificar la impedancia en el puerto de entrada

1. La medición de la impedancia se debe realizar utilizando el diagrama de la figura 6.
2. Con el EBP apagado, empleando un óhmetro mida y registre la impedancia resistiva en el puerto de entrada.
3. El resultado obtenido debe estar conforme a lo indica en el numeral 4.1.2.3, para la interfaz E1.
4. El resultado obtenido debe estar conforme a lo indica en el numeral 4.2.2.3, para la interfaz E3.

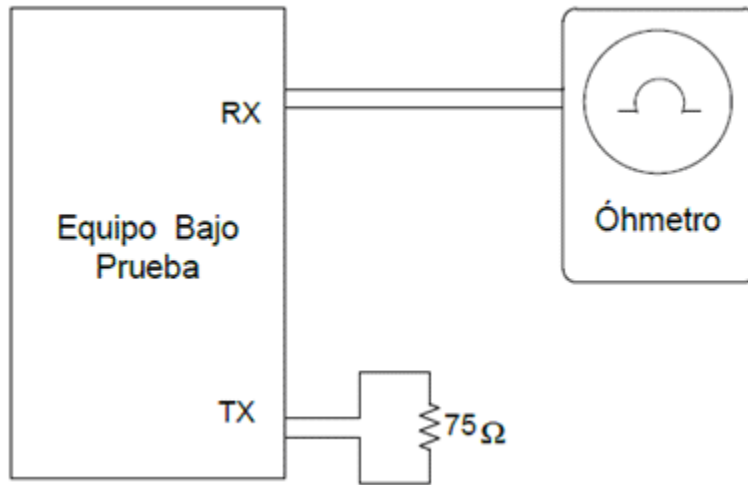


Figura 6.- Diagrama para la medición de la impedancia en el puerto de entrada

5.6 Método de prueba para verificar las características del pulso en el puerto de salida

- 1) La medición de la forma del pulso se debe realizar utilizando el diagrama de la figura 7.
- 2) Configure el EBP para que transmita una secuencia pseudoaleatoria de UNOS y CEROS, codificada en HDB3 con una longitud de $2^{15} - 1$ bits o de $2^{23} - 1$ de acuerdo a la interfaz que esté verificando.
- 3) Cargue o establezca en el osciloscopio la plantilla del pulso correspondiente a la interfaz que esté evaluando.
- 4) Superponga en el osciloscopio, un pulso correspondiente a un UNO binario sobre la plantilla. Verifique que el pulso a evaluar cae dentro de la plantilla correspondiente, mida y registre la amplitud al centro del intervalo del pulso.
- 5) Localice un pulso correspondiente a un CERO binario, mida y registre la amplitud al centro del intervalo del pulso.
- 6) Configure el equipo de medición de tal manera que un pulso positivo y un pulso negativo, correspondientes a un UNO binario, sean visibles en el trazo de la pantalla. Mida y registre la amplitud, en el centro del intervalo del pulso positivo y del pulso negativo.
- 7) Calcule y registre la relación de amplitudes dividiendo la amplitud del pulso positivo y del pulso negativo.
- 8) Los resultados obtenidos deben estar conforme lo indica en el numeral 4.1.2.4.
- 9) Los resultados obtenidos deben estar conforme lo indica en el numeral 4.2.2.4.

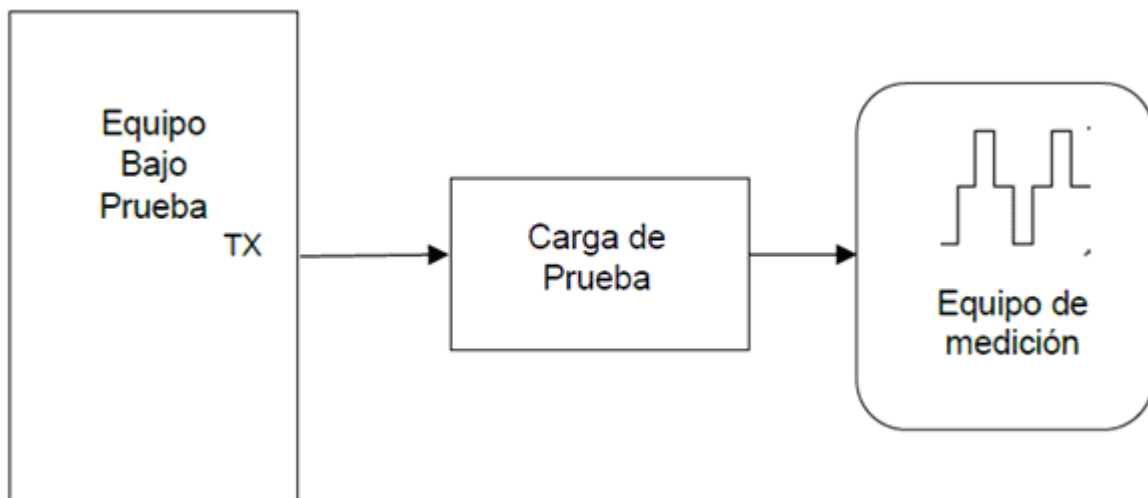


Figura 7.- Diagrama para la verificación de las características del pulso en el puerto de salida

5.7 Método de prueba para verificar la fluctuación de fase pico a pico de un puerto de salida

1. La medición de la fluctuación de fase a la salida del EBP se debe realizar de acuerdo al diagrama de la figura 8.

I. Para la interfaz E1:

- a) Configure el analizador o generador de tramas para que transmita una secuencia pseudoaleatoria codificada en HDB3, longitud de $2^{15} - 1$ bits y de acuerdo con la plantilla de la figura 1.
- b) El EBP debe transmitir una secuencia de bits estructurado en tramas de acuerdo con el código de redundancia cíclica VRC-4, las tramas que no contengan señal de alineación de tramas, el bit 3 "A" debe ser puesto a cero y los bits del 4 al 8 (S_{a4} a S_{a8}) a 1; el contenido binario de información en los bits del 9 al 256 debe ser PRBS de longitud de $2^{15} - 1$.
- c) Configure el medidor de fluctuación de fase con las frecuencias de corte del intervalo B1 y B2, como se indica en la tabla 15.
- d) Los resultados obtenidos para el puerto de salida debe estar ser conforme lo indica en el numeral 4.1.2.4.1.

II. Para interfaz E3:

- a) Configure el analizador o generador de tramas para que transmita una secuencia pseudoaleatoria codificada en HDB3, longitud de $2^{23} - 1$ y de acuerdo con la plantilla de la figura 2.
- b) El EBP debe transmitir una secuencia de bits estructurado en tramas de acuerdo con el numeral 4.2.3.1 y de longitud de $2^{23} - 1$.
- c) Configure el medidor de fluctuación de fase con las frecuencias de corte del intervalo B1 y B2, como se indica en la tabla 15.
- d) Los resultados obtenidos par el puerto de entrada, debe estar ser conforme lo indica en el numeral 4.2.2.4.1.

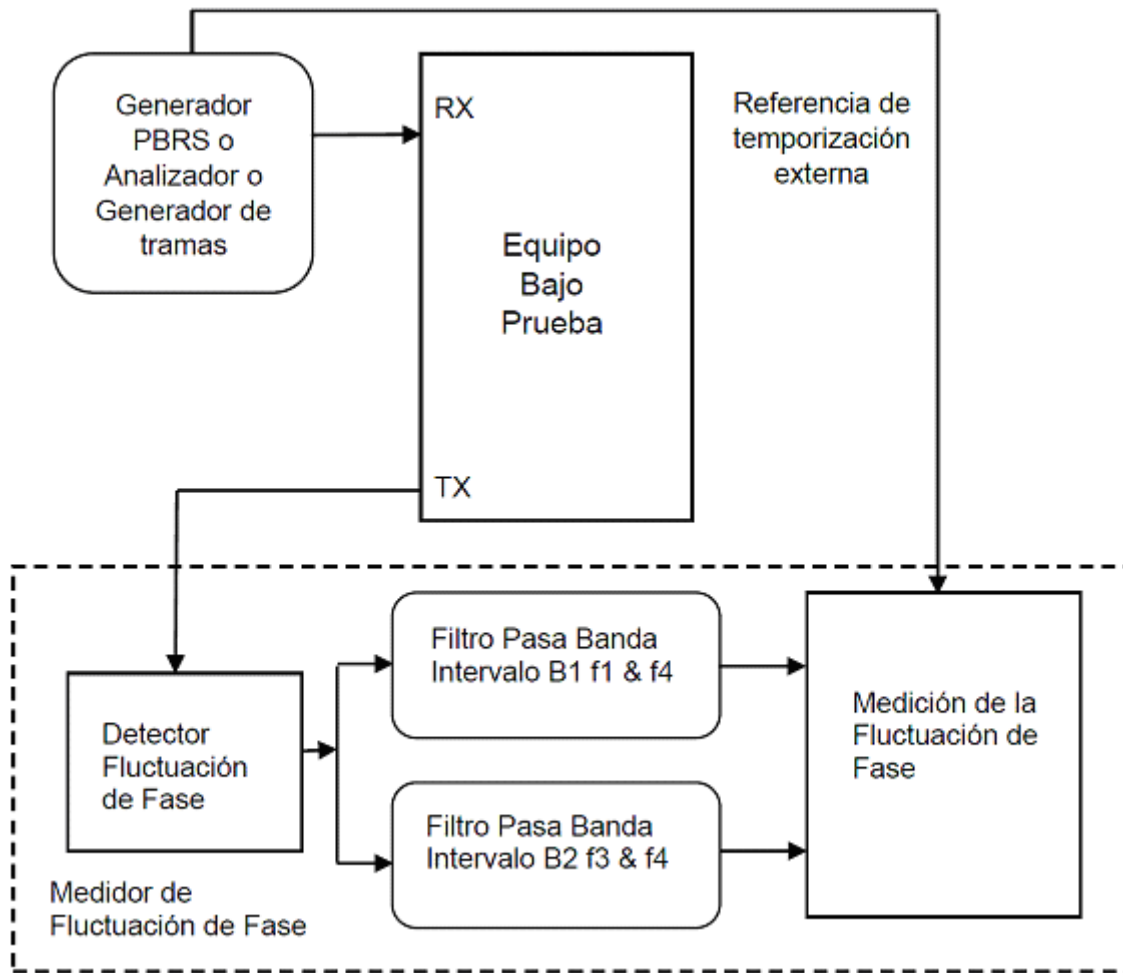


Figura 8. Diagrama para la medición de la fluctuación de fase pico a pico en el puerto de salida

Interfaz kbit/s	Intervalo de frecuencias	Frecuencia de corte inferior (kHz)	Frecuencia de corte superior (kHz)
E1, 2 048 kbit/s	Intervalo B1	0.020	100
	Intervalo B2	18	100
E3, 34 368 kbit/s	Intervalo B1	0.1	800
	Intervalo B2	10	800

Tabla 15.- Especificación para las frecuencias de corte en la interfaz E1 y E3.

5.8 Método de prueba para verificar la tolerancia e inmunidad a señales reflejadas en el puerto de entrada

1. El pulso en el puerto de entrada deberá de ser medida usando el diagrama de la figura 9.

I. Para la interfaz E1:

- a) Configure el analizador o generador de tramas para que transmita una secuencia pseudoaleatoria codificada en HDB3, longitud de $2^{15} - 1$ y de acuerdo con la plantilla de la figura 1.
- b) El EBP debe transmitir una secuencia de bits estructurado en tramas de acuerdo con el código de redundancia cíclica VRC-4, las tramas que no contengan señal de alineación de tramas, el bit 3 "A" debe ser puesto a cero y los bits del 4 al 8 (S_{a4} a S_{a8}) a 1; el contenido

binario de información en los bits del 9 al 256 debe ser PRBS de longitud de $2^{15} - 1$. La velocidad de transmisión debe estar dentro del límite de 2 048 kbit/s \pm 50 p.p.m.

- c) La señal interferente generada por el PBRS debe cumplir lo siguiente: Debe codificarse empleando el código de línea HDB3, longitud de $2^{15} - 1$ y de acuerdo con la plantilla de la figura 1; el contenido binario debe ser del tipo PRBS de longitud $2^{15} - 1$ y la velocidad de transmisión debe estar dentro del límite de 2 048 kbit/s \pm 50 p.p.m y no estar sincronizada con el EBP.
- d) Configure la atenuación del simulador de cable, la cual no deberá ser mayor a 6 dB a 1 024 Hz.
- e) Realice las siguientes pruebas:
 - i. Sin el simulador de cable y sin la señal interferente;
 - ii. Con el simulador de cable y sin la señal interferente;
 - iii. Sin el simulador de cable y con la señal interferente y
 - iv. Con el simulador de cable y la señal interferente.
- f) Los resultados obtenidos deben estar conforme lo indican los incisos inciso a) y d) del numeral 4.1.2.5.

II. Para interfaz E3:

- a) Configure el analizador o generador de tramas para que transmita una secuencia pseudoaleatoria codificada en HDB3, longitud de $2^{23} - 1$ bits y de acuerdo con la plantilla de la figura 2.
- b) El EBP debe transmitir una secuencia de bits estructurado en tramas de acuerdo con el numeral 4.2.3.1, la velocidad de transmisión debe estar dentro del límite de 34 368 kbps/s \pm 20 p.p.m.
- c) La señal interferente generada por el PBRS debe cumplir lo siguiente: Debe codificarse empleando el código de línea HDB3, longitud de $2^{23} - 1$ y de acuerdo con la plantilla de la figura 2; el contenido binario debe ser del tipo PRBS de longitud $2^{23} - 1$ bits y la velocidad de transmisión debe estar dentro del límite de 34 368 kbit/s y no estar sincronizada con el EBP.
- d) Configure la atenuación del simulador de cable, la cual no deberá ser mayor a 12 dB a 17 184 kHz.
- e) Realice las siguientes pruebas:
 - i. Sin el simulador de cable y sin la señal interferente;
 - ii. Con el simulador de cable y sin la señal interferente;
 - iii. Sin el simulador de cable y con la señal interferente y
 - iv. Con el simulador de cable y la señal interferente.
- f) Los resultados obtenidos para la inmunidad a señales reflejadas debe estar ser conforme lo indican los incisos a) y d) del numeral 4.2.2.5.

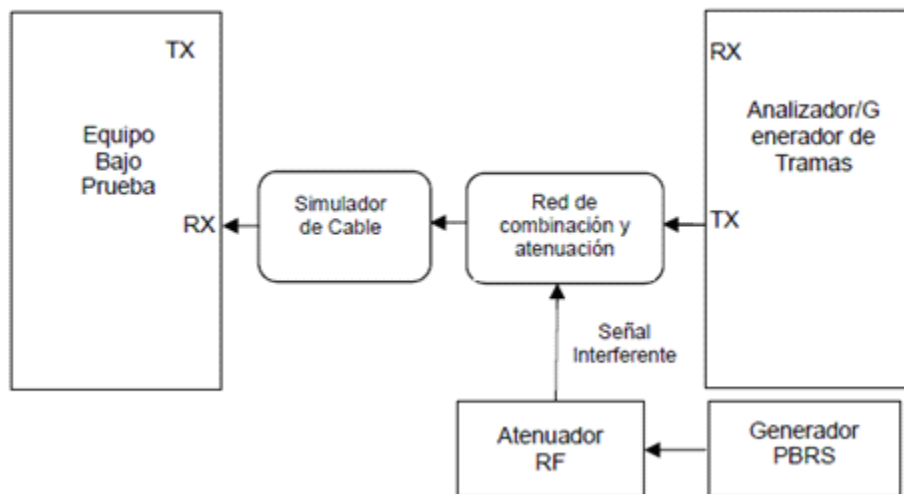


Figura 9. Diagrama para la verificar la tolerancia e inmunidad a una señal interferente

5.9 Método de prueba para verificar la pérdida de retorno del pulso en el puerto de entrada

1. Las pérdidas de retorno en el puerto de entrada, se deben realizar de acuerdo al diagrama de la figura 10.
2. Omite la utilización de la carga de prueba, si el puente de pérdida de retorno ya contiene una carga de prueba.
 - I. **Para interfaz E1:**
 - a) Con el generador de señales aplique una señal sinusoidal al puente de pérdida de retorno con los parámetros de amplitud y frecuencia que se indican en la tabla 16.
 - b) Registre la medición de potencia en dB desplegada en el medidor de nivel selectivo.
 - c) Los resultados obtenidos debe estar ser conforme lo indica el inciso b) del numeral 4.1.2.5
 - II. **Para interfaz E3:**
 - a) Con el generador de señales aplique una señal sinusoidal al puente de pérdida de retorno con los parámetros de amplitud y frecuencia que se indican en la tabla 16.
 - b) Registre la medición de potencia en dB desplegada en el medidor de nivel selectivo.
 - c) Los resultados obtenidos debe estar ser conforme lo indica el inciso b) del numeral 4.2.2.5.

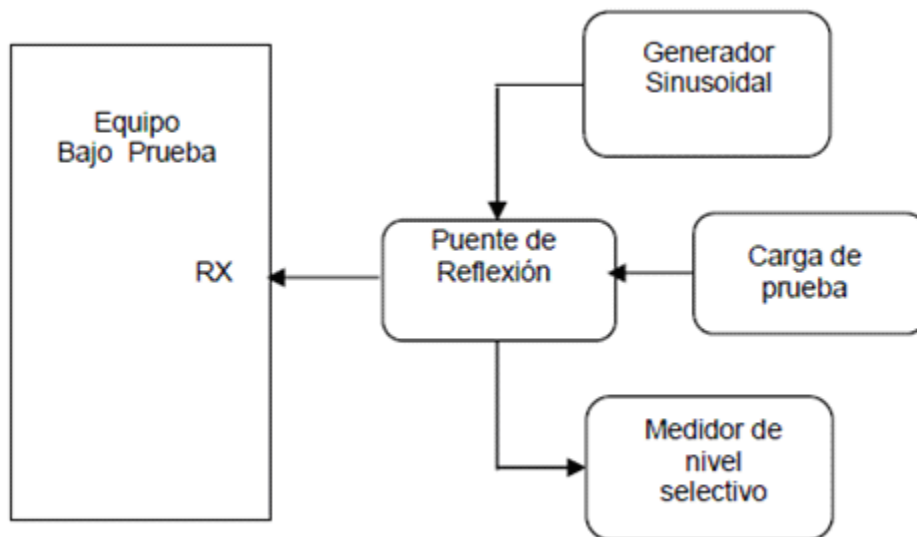


Figura 10. Diagrama para la medición de la pérdida de retorno en el puerto de entrada.

Interfaz (kbit/s)	Amplitud de la señal generada (V)	Intervalos de frecuencias a probar (kHz)
2 048 (E1)	2.37	51 a 102 102 a 2 048 2 048 a 3 072
34 368 (E3)	1.0	860 a 1 720 1 720 a 34 368 34 368 a 51 550

Tabla 16 Especificación de amplitud e intervalos de frecuencias para medir las pérdidas de retorno en el puerto de entrada.

5.10 Método de prueba para verificar la estructura y señal de alineación de trama básica

1. La estructura y longitud de trama debe ser evaluada usando el diagrama de la figura 11.

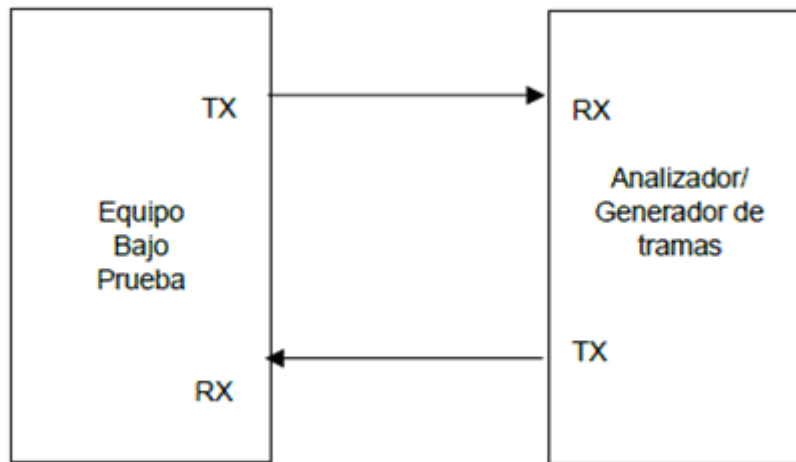


Figura 11. Diagrama para evaluar la estructura y señal de alineación de la trama básica

I. Para interfaz E1:

- a) Configure el analizador o generador de tramas para aplicar al puerto de entrada del EBP, una secuencia de bits pseudoaleatorio codificada con código de línea HDB3, longitud de $2^{15} - 1$, velocidad de transmisión dentro de los límites de 2 048 kbit/s \pm 50 p.p.m, y de acuerdo con la plantilla de la figura 1.
- b) El EBP debe transmitir un tren de bits estructurado en tramas de acuerdo con el código de redundancia cíclica VRC-4, el contenido binario de información en los bits del 9 al 256 debe ser PRBS de longitud $2^{15} - 1$.
- c) Los resultados obtenidos debe estar conforme lo indica el numeral 4.1.3.1.

II. Para interfaz E3:

Estructura de Trama

- a) Configure el analizador o generador de tramas para aplicar al puerto de entrada del EBP, una secuencia de bits pseudoaleatoria codificada con código de línea HDB3, velocidad de transmisión dentro de los límites de 34 368 kbit/s \pm 20 p.p.m, de acuerdo con la plantilla de la figura 2 y de acuerdo con los siguientes puntos:
 - i) Una secuencia de bits estructurada de acuerdo al numeral 4.2.3.1; pero con errores introducidos en el campo de cálculo del PIB-8.
 - ii) Introduzca unos binarios consecutivos en el campo SIA.
- b) El EBP debe transmitir una secuencia de bits dentro de los límites de velocidad de 34 368 kbit/s \pm 20 p.p.m; estructurado en tramas de acuerdo con el numeral 4.2.3.1, con errores introducidos en el campo BIT-8; la señal de indicación de alarma debe estar puesto a 1; el contenido binario de información en los bits del PRBS debe ser de longitud $2^{23} - 1$, no estructurado.

Los resultados obtenidos deben estar conforme lo indica el numeral 4.2.3.1

Alineación de trama

- a) Configure el analizador o generador de tramas para aplicar al puerto de entrada del EBP, una secuencia de bits pseudoaleatoria codificada con código de línea HDB3, velocidad de trasmisión dentro de los límites de 34 368 kbit/s ± 20 p.p.m, de acuerdo con la plantilla de la figura 2.
- b) La secuencia de bits se estructurará de conformidad con el numeral con el 4.2.3.1, pero con la siguiente modificación del byte de alineación de trama y el byte ME.

Estímulo	Resultado	Comentario
...TTTTTT...	IDR=0	Correcto BAT
...TTTT/T/T/TTTT...	IDR=0	3 BAT incorrectos
...TTTTN*(/T/T/T/TT)	IDR=1	4 BAT incorrectos
/T/T/T/TTTT	IDR=0	
/TTTT/T	IDR=0	
TTTT...	IDR=0	
... 985 errores BIP-8 en 1000 tramas	IDR=0	
... 986 errores BIP-8 en 1000 tramas	IDR=1	
TTTT...	IDR=0	
/T/T/T/T...	IDR=1	Se realiza nueva búsqueda de BAT con 1 bit de diferencia
Simulados BAT1,BAT2 y correcto BIT-8, en la carga	IDR=0	
Posterior de cerrar la simulación consecutiva de la trama T y ME incorrecto BIP-8 en la carga. TTTT.....	IDR=1 IDR=0	

Tabla 17. Procedimiento de alineación de trama

- NOTA:** T: Señal de alineación correcta
 /T: Señal de alineación incorrecta
 *N: Numero de repeticiones continuas

Los resultados obtenidos deben estar en la configuración final del byte IDR, de la columna 2 (Resultado) de la tabla 17.

5.11 Método de prueba para verificar la estructura de multitrama para la verificación por redundancia cíclica 4 (VRC-4)

1. La estructura y longitud de trama debe ser evaluada usando el esquema de la figura 11.
 - a) Configure el analizador o generador de tramas para que transmita una secuencia de bits codificada en HDB3, de longitud de $2^{15} - 1$.
 - b) El EBP deberá configurarse para que retransmita por el puerto de salida las tramas que reciba en el puerto de entrada.
 - c) El bit 1 del intervalo de tiempo 0 de las tramas que contienen la señal de alineación de trama que llevan los bits de VRC-4, deberán corresponder con los datos de la SMT anterior, tal como se define en el apéndice C.

Los resultados obtenidos deben estar conforme lo indica el numeral 4.1.3.3.

5.12 Método de prueba para verificar la estructura del byte 16 para la verificación por redundancia cíclica 7 (VRC-7)

1. La estructura y longitud de trama debe ser evaluada usando el esquema de la figura 11.
 - a) Configure el analizador o generador de tramas para que transmita un tren de bits con código de línea HDB3, longitud de $2^{23} - 1$.
 - b) El EBP deberá configurarse para que retransmita por el puerto de salida las tramas que reciba en el puerto de entrada.

Los resultados obtenidos deben estar conforme lo indica el numeral 4.2.3.2.1

5.13 Estimación de la incertidumbre de las mediciones.

Los resultados de las mediciones deben ir acompañadas de la incertidumbre estimada. Esta estimación se realizará conforme se señala en la NMX-CH-140-IMNC 2002 "Guía para la expresión de la Incertidumbre en las mediciones", su actualización o la que la sustituya, equivalente a la "Guide to the Expression of Uncertainty in Measurement, BIPM, IEC, IFCC, ISO, IUPAC, IUPAP, OIML (1995)".

6. Bibliografía

Norma Oficial Mexicana NOM-008-SCFI-2002	Sistema General de Unidades de Medida, Diario Oficial de la Federación del 27 de noviembre del 2002.
NMX-I-235-1997-NYCE	Interfaz Digital a 2 048 kbit/s, para la Interconexión entre Redes de Telecomunicaciones.
Rec. G.703	Características físicas y eléctricas de los interfaces digitales jerárquicos, del UIT-T.
Rec. G.704	Estructuras de tramas síncronas utilizadas en los niveles jerárquicos 1544, 6312, 2048, 8448 y 44 736 kbit/s, del ITU-T.
Rec. G.823	Control de fluctuación de fase y de la fluctuación lenta de fase en las redes digitales basadas en la jerarquía de 2 048 kbit/s, del UIT-T.
Rec. O.151	Aparato de medida de la característica de error a la velocidad primaria y a velocidades superiores.
Rec. K.41	Resistibilidad de las interfaces internas de los centros de telecomunicaciones a las sobretensiones de cresta
NOM-008-SCFI	Sistema General de Unidades de Medida
RCTG-TD-02.	Interfaz E1 No Estructurado - Circuito Digital Punto a Punto. Junio de 2001. España.
Norma para certificação de produtos para telecomunicações	Anexo à resolução nº 323, de 7 de novembro de 2002. Brasil.
ETSI EN 300 420 V1.2.1 (2001-07)	European Standard (Telecommunications series) Access and Terminals (AT); 2 048 kbit/s digital structured leased lines (D2048S); Terminal equipment interface. European Telecommunications Standards Institute.
ETSI EN 300 689 V1.2.1 (2001-07)	European Standard (Telecommunications series) Access and Terminals (AT); 34 Mbit/s digital leased lines (D34U and D34S); Terminal equipment interface. European Telecommunications Standards Institute.
AS/ACIF S016:2001	Requirements for Customer Equipment for connection to hierarchical digital interfaces. Australian Communications Industry Forum, 2001.
PROYECTO DE ACTUALIZACIÓN DE NORMA OFICIAL MEXICANA NOM-152-SCT1-1999, "Interfaz Digital a Redes Públicas (Interfaz Digital A 2 048 kbit/s)".	Centro de Investigación Científica y de Educación Superior, CICESE.

7. Concordancia con normas internacionales

La presente Disposición coincide totalmente con los puntos 2.3 y 5.1 de la Recomendación G.704 del UIT-T, Estructuras de trama síncrona utilizadas en los niveles jerárquicos primarios y secundarios, y con la Recomendación G. 823, Control de la fluctuación de fase y de la fluctuación lenta de fase en las redes digitales basadas en la jerarquía de 2 048 kbit/s, en lo que respecta a una interfaz con velocidad binaria de 2 048 kbit/s.

Por otra parte, esta Disposición Técnica coincide básicamente con:

a) El punto 9 de la Recomendación UIT-T, G.703 (11/2001), Características físicas y eléctricas de las interfaces digitales jerárquicas y difiere en que:

1. El punto 9.1 de la Recomendación se especifica el requisito de protección contra sobretensiones para las interfaces digitales a 2 048 kbit/s, (Véase la Recomendación UIT-T k.41), en esta Disposición Técnica no se incluyó debido a que ya existen normas que cubren este requisito.
2. El punto 9.2 de la Recomendación especifica el uso y características tanto de un par coaxial a 75 Ω (Ohms) como de un par simétrico a 120 Ω (Ohms) en cada sentido de transmisión, en esta Disposición Técnica solo se indican sólo las características para un par coaxial a 75 Ω (Ohms) . Lo anterior se debe a que en México únicamente se utilizan accesos mediante par coaxial a 75 Ω (Ohms).
3. El punto 9.2 de la Recomendación se especifican la pérdida de retorno en un puerto de salida, en esta DT no se incluyeron debido a que se salen del objetivo de la misma.
4. El punto 9.3 de la Recomendación se especifican la fluctuación de fase que ha de tolerarse en los puertos de entrada, en esta Disposición Técnica no se incluyeron debido a que se salen del objetivo de la misma.

b) El punto 11 de la Recomendación UIT-T, G.703 (11/2001), Características físicas y eléctricas de las interfaces digitales jerárquicas y difiere en que:

1. El punto 11.1 de la Recomendación se especifica el requisito de protección contra sobretensiones para las interfaces digitales a 34 368 kbit/s, (Véase la Recomendación UIT-T k.41), en esta Disposición Técnica no se incluyó debido a que ya existen normas que cubren este requisito.
2. El punto 11.2 de la Recomendación se especifican la pérdida de retorno en un puerto de salida, en esta Disposición Técnica no se incluyeron debido a que se salen del objetivo de la misma.
3. El punto 11.3 de la Recomendación se especifican la fluctuación de fase que ha de tolerarse en los puertos de entrada, en esta Disposición Técnica no se incluyeron debido a que se salen del objetivo de la misma.

8. Evaluación de la conformidad y vigilancia del cumplimiento

La evaluación de la conformidad y la vigilancia del cumplimiento de esta Disposición Técnica, deberá ser realizada por el Instituto Federal de Telecomunicaciones.

Los productos certificados conforme a la presente Disposición Técnica estarán sujetos a seguimiento mediante muestreo, medición, pruebas de laboratorios, constatación ocular o examen de documentos por parte del Instituto o del organismo de certificación para comprobar que dichos productos continúen cumplimiento con las condiciones y requisitos correspondientes y, por tanto, para mantener vigente el certificado correspondiente.

Dicho seguimiento se llevará a cabo sobre una porción que no excederá de la mitad del total de certificados expedidos, seleccionados de manera aleatoria. El seguimiento se hará con cargo al titular del certificado y, se efectuará sobre los equipos que se encuentren en el territorio nacional, en las bodegas de los fabricantes, importadores, comercializadores, distribuidores o arrendadores.

El Instituto llevará a cabo pruebas a productos evaluados de conformidad y homologados conforme a la presente Disposición Técnica, para asegurar el cumplimiento continuo de la misma.

9. Contraseña de producto

Los equipos amparados por el certificado de homologación, deberán exhibir el número de certificado de homologación correspondiente, así como la marca y el modelo con la que se expide este certificado en cada unidad de producto mediante marcado o etiqueta que lo haga ostensible, claro, visible, legible, intransferible e indeleble con el uso normal, de no ser posible de exhibir dicho número en el producto mismo, deberá hacerse en su envase, embalaje, etiqueta, envoltura, hoja viajera, registro electrónico interno o manual.

El marcado o etiqueta a que se refiere el párrafo anterior, deberá cumplir con los elementos y características que indique la disposición que al efecto emita el Instituto.

10. Disposiciones Transitorias

Primero. La presente Disposición Técnica entrará en vigor el 20 de enero de 2016, sin perjuicio de lo dispuesto en los transitorios siguientes, adicionalmente será revisada por el Instituto por lo menos a los 5 años contados a partir de su entrada en vigor.

Segundo.- Los certificados de conformidad y homologación emitidos conforme a la NOM-152-SCT1-1999, Interfaz digital a redes públicas (Interfaz digital a 2 048 kbit/s), y la DT IFT-005-2014 mantendrán su vigencia hasta el término señalado en ellos y no estarán sujetos a seguimiento.

Tercero.- Los certificados de cumplimiento y homologación respecto a la Interfaz digital a 2 048 kbit/s (E1), solicitados a partir de la entrada en vigor de la presente Disposición Técnica y durante el periodo de noventa días naturales posteriores a dicha entrada en vigor, se otorgarán conforme a la presente DT IFT-005-2016, considerando además lo establecido en el transitorio Séptimo. Dichos certificados de cumplimiento y de homologación tendrán vigencia de un año y, no estarán sujetos a seguimiento.

Con objeto de mantener la continuidad en las actividades de evaluación de la conformidad, los Laboratorios de Pruebas y Organismos de Certificación, podrán emitir los reportes de pruebas y certificados de cumplimiento conforme a la presente DT IFT-005-2016 bajo la actualización de la acreditación (por la Entidad de Acreditación correspondiente) y aprobación (por el Instituto) otorgadas al amparo de la NOM-152-SCT1-1999, Interfaz digital a redes públicas (Interfaz digital a 2 048 kbit/s) y la DT IFT-005-2014.

Cuarto.- Los Laboratorios de Pruebas y Organismos de Certificación podrán llevar a cabo la evaluación de la conformidad, entre la fecha de entrada en vigor de la Disposición Técnica y los noventa días naturales establecidos en el artículo anterior, siempre y cuando se encuentren en condiciones de realizarla conforme a lo dispuesto en la presente Disposición Técnica, requiriendo una nueva acreditación y autorización.

Quinto.- Todos los Laboratorios de Pruebas y Organismos de Certificación, una vez que se cumpla el periodo de los noventa días naturales a que se refiere el artículo Tercero transitorio anterior, llevarán a cabo la evaluación de la conformidad conforme a lo establecido en la presente Disposición Técnica o en su caso, de acuerdo a lo que establezca el Instituto.

Sexto.- La evaluación de la conformidad a que se refiere la sección 8, "Evaluación de la conformidad y vigilancia del cumplimiento", se realizará conforme en la normatividad nacional o internacional aplicable, en tanto el Instituto establezca el procedimiento correspondiente. Para el caso de la acreditación se llevará a cabo en los términos establecidos en el convenio signado por el Instituto con la Entidad Mexicana de Acreditación (EMA).

Séptimo.- Las secciones 4.1.1, 4.1.2, 4.1.2.1, 4.1.2.2, 4.1.2.3, 4.1.2.4, 4.1.2.5, 4.1.3, 4.1.3.1, 4.1.3.2, 4.1.3.3 y 4.2 de la presente Disposición Técnica entrarán en vigor noventa días naturales posteriores a la entrada en vigor de la misma; por lo que, hasta en tanto no se actualice dicho supuesto, se aplicará lo siguiente:

4.1.1 Tipo de conector

El tipo de conector para los puertos de la interfaz E1, tanto en el lado transmisión como en el lado recepción, debe ser BNC.

4.1.2 Características eléctricas

4.1.2.1 Velocidad de transmisión

La velocidad de transmisión a la que debe trabajar la interfaz E1 debe ser de 2 048 kbit/s \pm 0,1024 kbit/s (2 048 kbit/s \pm 50 ppm).

4.1.2.2 Código de línea

Cuando se transmita una señal del tipo E1, el código de línea utilizado debe ser el código de alta densidad bipolar de orden 3 (HDB3), descrito en el apéndice A.

4.1.2.3 Impedancia

Los puertos, tanto del lado transmisión como del lado recepción, deben tener una impedancia nominal de 75 Ω desbalanceada.

4.1.2.4 Características del pulso en el puerto de salida

- a) La tensión pico nominal del pulso que se debe transmitir debe ser de 2,37 V.
- b) La tensión pico de un espacio, es decir cuando no existe pulso, debe ser de 0 V \pm 0,235 V.
- c) El ancho nominal del pulso debe ser de 244 ns.
- d) La relación de las amplitudes de los pulsos negativos y positivos, al centro del intervalo del pulso, debe ser de 0,95 a 1,05.

- e) La relación entre el ancho de los pulsos positivos y de los negativos, en los puntos de semi-amplitud nominal, debe ser de 0,95 a 1,05.
- f) Para la máxima fluctuación de fase pico a pico de un acceso de salida, véase el apéndice B.
- g) La forma del pulso debe estar de acuerdo con la plantilla mostrada en la figura 1.
- h) El conductor externo del cable coaxial debe conectarse a tierra.

4.1.2.5 Características del pulso en el puerto de entrada

- a) Las características del pulso presentado en el puerto de entrada debe ser como el definido para el puerto de salida, pero modificado por las características del par de interconexión. La atenuación de dicho par debe seguir una ley (f: frecuencia en kHz) y la pérdida a la frecuencia de 1024 kHz debe estar en el intervalo de 0 dB a 6 dB. Esta atenuación debe tomar en cuenta cualquier pérdida ocasionada por la presencia de un repartidor digital entre los equipos.

- b) La pérdida de retorno en los puertos de entrada de la interfaz debe tener los siguientes valores:

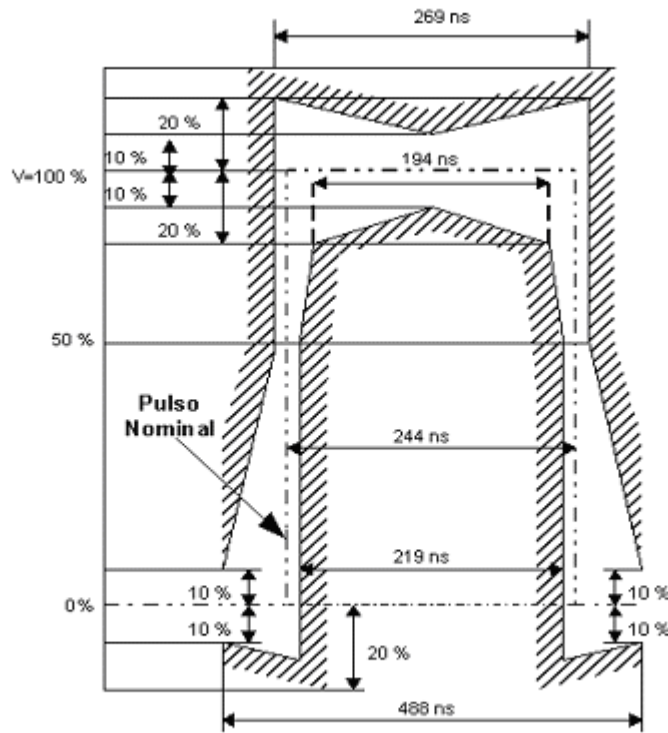
De 51 kHz a 102 kHz = 12 dB.

De 103 kHz a 2 048 kHz = 18 dB.

De 2 049 kHz a 3 072 kHz = 14 dB.

- c) Para la fluctuación de fase que ha de tolerarse en los accesos de entrada, véase el apéndice B.
- d) Para asegurar la inmunidad adecuada contra las reflexiones de señales que pueden producirse en la interfaz, debido a irregularidades de impedancia en los repartidores digitales y en los accesos de salida digitales, los accesos de entrada deben cumplir con lo siguiente:

Se añade a una señal compuesta nominal, codificada en HDB3 y constituida por pulsos cuya forma se ajusta a la plantilla del pulso figura 1, una señal interferente con la misma forma del pulso de la señal deseada. La señal interferente debe tener una velocidad binaria comprendida entre los límites especificados en este documento, pero no debe ser sincrónica con la señal deseada.



NOTA: V corresponde al valor pico nominal.

Figura 1.- Plantilla del pulso de la interfaz a 2 048 kbit/s, E1

La señal interferente se combina con la señal deseada en una red combinadora, con una atenuación global nula en el trayecto de la señal y con una impedancia nominal de 75Ω para dar una relación señal/Interferencia de 18 dB. El contenido binario de la señal interferente debe ajustarse a un patrón de prueba pseudoaleatorio del tipo 2¹⁵-1 bits.

No deben producirse errores cuando se aplique al acceso de entrada la señal combinada, con la atenuación máxima especificada para el cable de interconexión.

Se considera que una realización de receptor que proporcione un umbral adaptativo en vez de un umbral fijo es más resistente a las reflexiones y que, por lo tanto, debe preferirse.

- e) El conductor exterior del cable coaxial debe conectarse a tierra.

4.1.3 Características funcionales

4.1.3.1 Estructura de trama básica

La estructura de trama básica debe estar compuesta de 32 intervalos de tiempo numerados del 0 al 31 y cada intervalo de tiempo debe estar compuesto de 8 bits, por lo que se debe tener un total de 256 bits por trama.

Dentro de la estructura de trama básica, el intervalo de tiempo cero está reservado para la señal de alineación de trama y bits de servicio. La asignación específica de cada uno de los bits de este intervalo de tiempo se describe en la tabla 4.

TABLA 4.- Asignación de los primeros 8 bits de la trama

Número del bit	1	2	3	4	5	6	7	8
Tramas alternadas								
Trama que contiene la señal de alineación de trama	S _i	0	0	1	1	0	1	1
	(1)	señal de alineación de trama						
Trama que no contiene la señal de alineación de trama	S _i	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{A8}
	(1)	(2)	(3)	(4)				
(1)	Los bits designados como S _i son bits reservados para uso internacional, si no se utilizan de manera específica deben ser puestos a "1" en los trayectos digitales que atraviesan una frontera internacional. No obstante, se pueden utilizar en el ámbito nacional si el trayecto digital no atraviesa una frontera.							
(2)	Este bit se pone a "1" para evitar simulación de señal de alineación de trama.							
(3)	"A" es indicación de alarma distante. En funcionamiento normal es puesto a "0"; en condición de alarma es puesto a "1".							
(4)	S _{a4} a S _{a8} son bits adicionales de reserva que pueden utilizarse como sigue: i). Los bits S _{a4} a S _{a8} pueden ser recomendados para uso en aplicaciones punto a punto específicas. ii). El bit S _{a4} puede utilizarse como enlace de datos basado en mensajes para operaciones, mantenimiento y monitoreo de la calidad de funcionamiento. Este canal se origina en el punto en que se genera la trama y termina donde se separa la trama. iii). Los bits S _{a5} a S _{a7} son para uso nacional cuando no se les necesita para aplicaciones punto a punto específicas.							

El intervalo de tiempo 16 está reservado para la información de señalización en caso de haberla (Véase 4.1.3.2). Cuando este intervalo no se ocupe para señalización, puede utilizarse para un canal de 64 kbit/s, de la misma manera que los intervalos 1 a 15 y 17 a 31.

El tiempo necesario para transmitir una estructura de trama básica es de 125 μs, por lo que en un segundo se transmiten 8 000 tramas.

4.1.3.2 Señalización

Para propósitos de señalización, en caso de haberla, debe utilizarse el intervalo de tiempo 16 si se trata de Señalización Asociada al Canal (SAC) y se recomienda el uso de cualquier canal para el caso de utilizarse señalización por canal común. En las especificaciones de dichos sistemas de señalización se deben incluir los requisitos detallados para la organización de los sistemas de señalización determinados.

En el caso de existir SAC, debe utilizarse la estructura de multitrama que se define a continuación.

Cada multitrama está formada por 16 tramas básicas numeradas de 0 a 15 y su tiempo de duración es de 2 ms, es decir 500 multitramas en 1 s.

Dentro de la multitrama, el intervalo de tiempo 16 de la trama 0 se utiliza para la señal de alineación de multitrama. Esta señal se inserta en los bits 1 a 4 y tiene la forma "0000". Los detalles para la asignación de los 8 bits de este intervalo se especifican en la tabla 5.

Tabla 5.- Asignación de los bits del intervalo de tiempo 16

Intervalo de tiempo 16 de la trama 0	Intervalo de tiempo 16 de la trama 1		Intervalo de tiempo 16 de la trama 2		Intervalo de tiempo 16 de la trama 15	
0000xyxx	abcd canal 1	abcd canal 16	abcd canal 2	abcd canal 17	abcd canal 15	abcd canal 30
Donde:	x= bit de reserva, se pone a 1 si no se utiliza y= bit utilizado para indicación de alarmas al extremo distante. En condición de funcionamiento normal se pone a 0; en condición de alarma se pone a 1.					
	1. Los números de canal son números de canales telefónicos. Los intervalos de tiempo de canal a 64 kbit/s1 a 15 y 17 a 31 se asignan a canales telefónicos numerados del 1 al 30.					
	2. Esta asignación de bits proporciona cuatro canales de señalización a 500 bit/s, denominados a, b, c y d, respectivamente, para telefonía y otros servicios. Mediante esta disposición, la distorsión de señalización de cada canal de señalización introducida por el sistema de transmisión MIC no debe pasar de 2 ms.					
	3. Si no se utilizan los bits b, c o d, se les debe poner a los siguientes valores: b=1, c=0, d=1.					
	4. Se recomienda no utilizar la combinación 0000 de los bits a, b, c y d para fines de señalización para los canales 1 a 15.					

4.1.3.3 Estructura de Multitrama para la Verificación por Redundancia Cíclica 4 (VRC-4)

En caso de tener la posibilidad, el Procedimiento de Verificación por Redundancia Cíclica 4 (VRC-4) se debe utilizar cuando sea preciso contar con una mejor capacidad de monitoreo de errores y/o de protección adicional contra la simulación de la señal de alineación de trama.

Cuando un equipo ha sido diseñado para poder aplicar el procedimiento VRC-4, también debe tener la posibilidad de interfuncionar con un equipo que no permite aplicar el VRC, es decir, la aptitud para seguir prestando servicio (tráfico) entre equipos con y sin la capacidad VRC-4. Esto debe poderse hacer en forma manual (p. ej. mediante puentes). En tal caso de funcionamiento, el bit 1 de las tramas debe ponerse a 1 en ambos sentidos de transmisión (véase la nota 1 de la tabla 4).

Para propósitos de uso del VRC-4, se debe utilizar el bit 1 del intervalo de tiempo 0 y debe utilizar además la estructura de multitrama descrita en la tabla 6.

TABLA 6.- Estructura de multitrama para el VRC-4.

	Submultitrama	Número de	Bits 1 a 8 de la trama							
	(SMT)	Trama	1	2	3	4	5	6	7	8
Multitrama	I	0	C ₁	0	0	1	1	0	1	1
		1	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		2	C ₂	0	0	1	1	0	1	1
		3	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		4	C ₃	0	0	1	1	0	1	1
		5	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
		6	C ₄	0	0	1	1	0	1	1
	7	0	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}	
	II	8	C ₁	0	0	1	1	0	1	1

	9	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
	10	C ₂	0	0	1	1	0	1	1
	11	1	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
	12	C ₃	0	0	1	1	0	1	1
	13	E	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}
	14	C ₄	0	0	1	1	0	1	1
	15	E	1	A	S _{a4}	S _{a5}	S _{a6}	S _{a7}	S _{a8}

Donde:
 E = bits de indicación de error VRC-4.
 S_{a4} a S_{a8} = bits de reserva.
 C₁ a C₄ = bits de Verificación por Redundancia Cíclica 4 (VRC-4).
 A = indicación de alarma distante.

Cada multitrama VRC-4 se compone de 16 tramas numeradas del 0 al 15 y se divide en 2 submultitramas designadas como SMT I y SMT II de 8 tramas cada una, lo que indica su orden respectivo de aparición dentro de la estructura de multitrama VRC-4. La SMT constituye el tamaño del bloque de Verificación por Redundancia Cíclica 4 (o sea 8 tramas por 256 bits = 2 048 bits).

La estructura de multitrama VRC-4 no está relacionada con el uso posible de una estructura de multitrama en el intervalo de tiempo de 16 kbit/s a 64 kbit/s (véase el punto 4.3.2).

En las tramas que contienen la señal de alineación de trama, el bit 1 se utiliza para transmitir los bits VRC-4. En cada SMT hay 4 bits VRC-4 denominados C₁, C₂, C₃ y C₄. En las tramas que no contienen la señal de alineación de trama, el bit 1 se utiliza para transmitir la señal de alineación de multitrama VRC-4, de 6 bits, y los dos bits E de indicación de error VRC-4. En el apéndice C se describe el procedimiento para la Verificación por Redundancia Cíclica 4 (VRC-4).

La señal de alineación de multitrama de VRC-4 tiene la forma 001011.

Los bits E deben ponerse a CERO hasta que se haya establecido la alineación de trama básica y la multitrama VRC-4. A partir de entonces, los bits E pueden utilizarse para indicar submultitramas recibidas con errores, pasando el estado binario de un bit E de UNO a CERO para cada submultitrama con errores. Todo retardo en la detección de una submultitrama con errores y la fijación del bit E que indica el estado de error, debe ser inferior a un segundo.

Los bits E siempre se toman en cuenta, incluso si la submultitrama que los contiene tiene errores, puesto que hay poca probabilidad de que los bits E tengan errores.

En caso que en el equipo no se utilice el bit E, éste se debe poner a UNO binario.

APÉNDICE A

DEFINICIÓN DEL CÓDIGO DE ALTA DENSIDAD BIPOLAR DE ORDEN 3 (HDB3).

Para convertir una señal binaria digital en una señal HDB3, se deben aplicar las siguientes reglas de codificación:

- 1) La señal HDB3 es pseudoaleatoria: sus tres estados se designan por B+, B- y 0.
- 2) Los UNOS de la señal binaria se codifican alternadamente como B+ o B- con respecto al pulso precedente.
- 3) Los CEROS de la señal binaria se codifican como CEROS en la señal HDB3; sin embargo, en el caso de secuencias con cuatro CEROS consecutivos se aplican las siguientes reglas:
 - a) Inserte un pulso V (pulso de violación) en la cuarta posición, manteniendo la alternancia de polaridad entre pulsos V consecutivos.
 - b) Si el pulso precedente (V o B) a la secuencia de CEROS, tiene polaridad inversa con respecto al nuevo pulso V, inserte un pulso B en la primera posición de la secuencia (de los cuatro CEROS), con polaridad igual a la del pulso de violación V a insertar.

APÉNDICE B

FLUCTUACIÓN DE FASE

B.1 Definiciones

B.1.1 Fluctuación de fase

La fluctuación de fase se define como las variaciones de corta duración de los instantes significativos de una señal digital con respecto a su posición ideal en el tiempo.

B.1.2 Fluctuación lenta de fase

La fluctuación lenta de fase se define como las variaciones de largo plazo de los instantes significativos de una señal digital con respecto a su posición ideal en el tiempo.

B.2 Fluctuación de fase en los puertos de la interfaz

El proceso de transmisión puede verse afectado por factores externos, estas interferencias dependen del medio de transmisión (fibra óptica, cables coaxiales o radioenlaces) y otros factores como la localización geográfica y las condiciones meteorológicas. Una de las afectaciones más importantes que se producen en los equipos de transmisión es la fluctuación de fase.

El efecto de la fluctuación de fase se hace sentir sobre la recuperación de reloj en las sucesivas interfaces digitales, pudiendo generar diferencias instantáneas de fase entre la señal que ingresa a un interfaz y el reloj recuperado, teniendo como resultado bits errados.

Por lo anterior, a continuación se especifican los límites permitidos de fluctuación de fase para los puertos de entrada y salida de la interfaz a 2 048 kbit/s y asegurar la óptima transmisión de la señal en los puntos de interconexión.

B.2.1 Puerto de salida

Los límites mostrados en la tabla B.1 representan los niveles máximos admisibles de la fluctuación de fase que debe tener la interfaz a 2 048 kbit/s en su puerto de salida. Los límites deben respetarse en todas las condiciones de explotación cualquiera que sea la cantidad de equipo que preceda a la interfaz. Estos límites de red son compatibles con la tolerancia mínima de fluctuación de fase que deben proporcionar todos los puertos de entrada del equipo.

Límites de red		Ancho de banda del filtro de medición		
B ₁ Intervalo	B ₂ Intervalo	Filtro pasabanda con una frecuencia de corte inferior a f ₁ o f ₃ y una frecuencia de corte superior a f ₄		
Unitario pico a pico (IUpp)	Unitario pico a pico (IUpp)	f ₁	f ₃	f ₄
1.5	0.2	20 Hz	18 kHz	100 kHz

Nota: 1 IU = 488 ns.

TABLA B.1.- Fluctuación de fase máxima admisible en el puerto de salida de una interfaz a 2 048 kbit/s

El montaje para la medición de la fluctuación de fase a la salida de una interfaz digital se ilustra en la figura B.1. La respuesta en frecuencia de los filtros asociados a los aparatos de medida debe tener régimen de decremento de 20 dB/década.

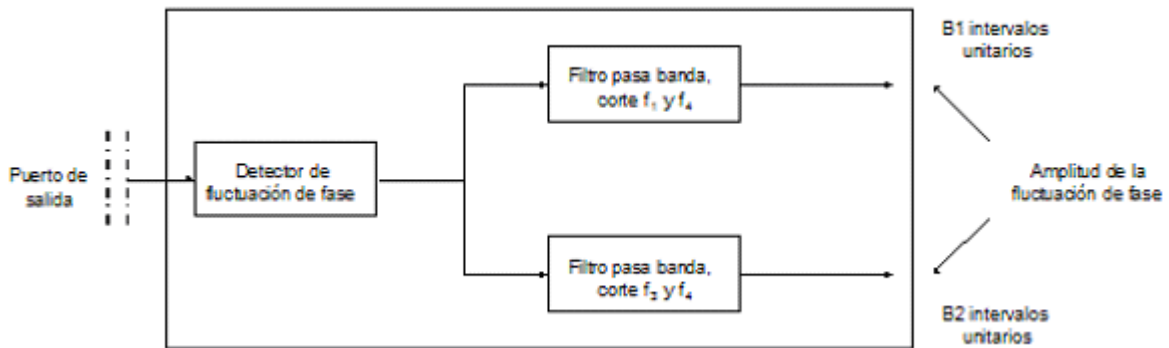


FIGURA B.1.- Montaje para la medición de la fluctuación de fase de un puerto de salida

B.2.2 Puerto de entrada

Todos los puertos de entrada digitales de la interfaz a 2 048 kbps deben estar en condiciones de tolerar una señal digital cuyas características eléctricas satisfagan los requisitos del punto 4.2 de esta Disposición, pero moduladas por una fluctuación lenta de fase y una fluctuación de fase sinusoidales que tienen una relación amplitud-frecuencia definida en la figura B.2 y los límites indicados en la tabla B.2. Para propósitos de prueba, el contenido binario equivalente de la señal modulada por la fluctuación de fase debe ser una secuencia binaria pseudoaleatoria de $2^{15}-1$.

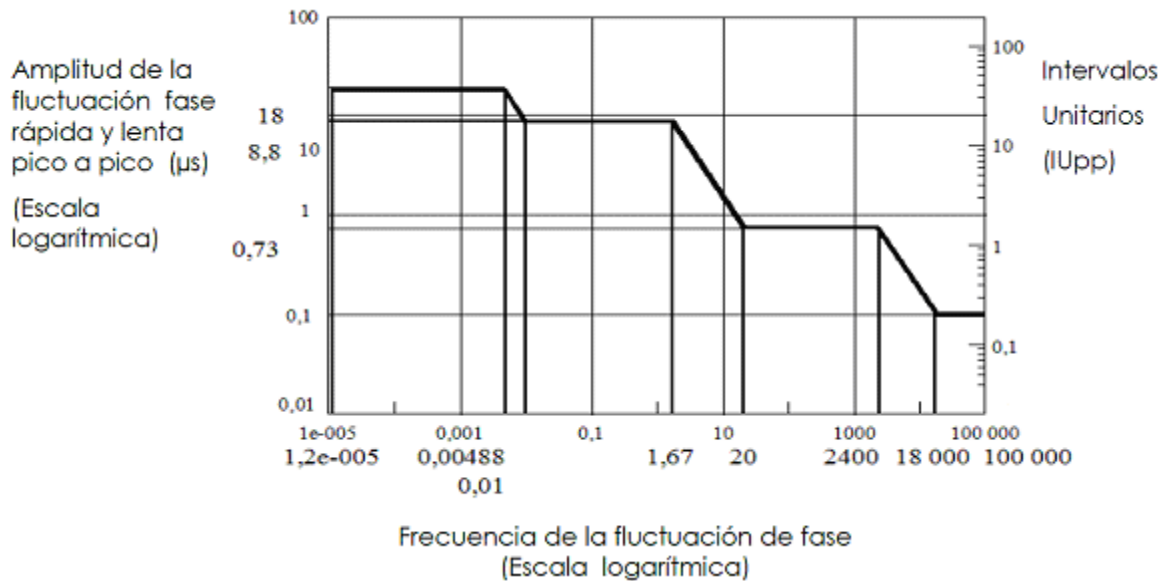


FIGURA B.2.- Límite inferior de la fluctuación de fase y fluctuación lenta de fase máxima

Intervalo de frecuencia f (Hz)	Requisito (amplitud de fase pico a pico)
$12 \mu < f \leq 4.88 \text{ m}$	18 μs
$4.88 \text{ m} < f \leq 10 \text{ m}$	$0.088 f^{-1} \mu\text{s}$
$10 \text{ m} < f \leq 1.67$	8.8 μs
$1.67 < f \leq 20$	$15 f^{-1} \mu\text{s}$
$20 < f \leq 2.4 \text{ k}$	1.5 UI
$2.4 \text{ k} < f \leq 18 \text{ k}$	$3.6 \times 10^3 f^{-1} \text{ UI}$
$18 \text{ k} < f \leq 100 \text{ k}$	0.2 UI
1 IU = 488 ns	

TABLA B.2.- Valores de los parámetros para la tolerancia de la fluctuación de fase fluctuación lenta de fase para el puerto de entrada

APÉNDICE C

DESCRIPCIÓN DEL PROCEDIMIENTO VRC-4

C.1. Proceso de multiplicación/división

Una palabra VRC-4 específica, ubicada por ejemplo en la submultitrama N, es el residuo que queda después de multiplicar el polinomio correspondiente a la submultitrama N-1 por x^4 y de dividir el resultado (en módulo 2) por el polinomio generador $x^4 + x + 1$.

Al presentar el contenido del bloque de verificación en forma de polinomio, el bit 1 en la trama 0 o el bit 1 en la trama 8, debe ser considerado como el bit más significativo. De manera similar, se define C1 como el bit más significativo del residuo y C4 como el bit menos significativo del residuo.

Puede presentarse la necesidad de actualizar los bits VRC4 en equipos intermedios que accesan al enlace de datos basado en mensaje por bits S_{a4} .

C.2. Procedimiento de codificación

- I. Los bits VRC-4 de la Submultitrama (SMT) se sustituyen por CEROS binarios.
- II. La SMT se somete al proceso de multiplicación/división.
- III. Se almacena el residuo del proceso de multiplicación/división, que queda listo para ser introducido en las posiciones de bit VRC-4 de la SMT siguiente:

Los bits VRC-4 generados de esta manera no influyen en el resultado del proceso de multiplicación/división aplicados en la SMT siguiente porque, tal como se indica en el punto I, las posiciones de bit VRC-4 en una SMT se ponen inicialmente a cero en el proceso de multiplicación/división.

C.3. Procedimiento de decodificación

- I. Una SMT recibida se somete al proceso de multiplicación/división después de extraerle los bits VRC-4 y reemplazarlos por CEROS binarios.
- II. Se almacena el residuo de la división y a continuación se compara bit por bit con los bits VRC recibidos en la SMT siguiente.
- III. Si el residuo calculado por el decodificador corresponde exactamente a los bits VRC-4 recibidos en la SMT siguiente, se supone que la SMT verificada no contiene errores.

C.4. Procedimiento de actualización en puntos del trayecto intermedio en una aplicación de enlace de datos basado en mensaje.

El bit S_{a4} puede utilizarse como enlace de datos basado en mensaje por trayectos a 2 048 kbit/s. Se prevén situaciones en que el acceso a ese enlace de datos puede necesitarse en puntos del trayecto situados entre los auténticos puntos de terminación de trayecto, por ejemplo, informe de datos de característica de error procedentes de emplazamientos intermedios a lo largo del trayecto. En esas situaciones es importante no invalidar o degradar la función lógica de terminación de trayecto de la VRC-4. Por consiguiente, los cambios de los bits S_{a4} de una SMT en un punto intermedio de un trayecto no implican un nuevo cálculo de los bits VRC-4 en toda la SMT, sino más bien su actualización como función de recodificación lineal en relación con los cambios binarios específicos de los bits S_{a4} solamente.

APÉNDICE D

DESCRIPCIÓN DEL PROCEDIMIENTO VRC-7

1. Proceso de multiplicación/división

Una palabra VRC-7 específica, ubicada por ejemplo en la submultitrama N, es el residuo que queda después de multiplicar el polinomio correspondiente a la submultitrama N-1 por x^7 y de dividir el resultado (en módulo 2) por el polinomio generador $x^7 + x^3 + 1$.

Al presentar el contenido del bloque de verificación en forma de polinomio, el bit 1 en la trama 0 o el bit 1 en la trama 8, debe ser considerado como el bit más significativo. De manera similar, se define C_1 como el bit más significativo del residuo y C_7 como el bit menos significativo del residuo.

2. Procedimiento de codificación

- I. Los bits VRC-7 de la Submultitrama (SMT) se sustituyen por CEROS binarios.
- II. La SMT se somete al proceso de multiplicación/división.
- III. Se almacena el residuo del proceso de multiplicación/división, que queda listo para ser introducido en las posiciones de bit VRC-7 de la SMT siguiente.

Los bits VRC-7 generados de esta manera no influyen en el resultado del proceso de multiplicación/división aplicados en la SMT siguiente porque, tal como se indica en el punto I, las posiciones de bit VRC-7 en una SMT se ponen inicialmente a cero en el proceso de multiplicación/división.

3. Procedimiento de decodificación

- I. Una SMT recibida se somete al proceso de multiplicación/división después de extraerle los bits VRC-7 y reemplazarlos por CEROS binarios.
- II. Se almacena el residuo de la división y a continuación se compara bit por bit con los bits VRC-7 recibidos en la SMT siguiente.
- III. Si el residuo calculado por el decodificador corresponde exactamente a los bits VRC-7 recibidos en la SMT siguiente, se supone que la SMT verificada no contiene errores.

(R.- 425195)